

PATENT COOPERATION TREATY

PCT

COMMUNICATION OF
INTERNATIONAL APPLICATIONS

(PCT Article 20)

From the INTERNATIONAL BUREAU

To:

Commissioner
US Department of Commerce
United States Patent and Trademark
Office, PCT
2011 South Clark Place Room
CP2/5C24
Arlington, VA 22202
ETATS-UNIS D'AMERIQUE
in its capacity as designated Office

Date of mailing:

11 September 2001 (11.09.01)

The International Bureau transmits herewith copies of the international applications having the following international application numbers and international publication numbers:

International application no.:

PCT/JP01/00885

International publication no.:

The International Bureau of WIPO
34, chemin des Colombettes
1211 Geneva 20, Switzerland

Facsimile No.: (41-22) 740.14.35

Authorized officer:

J. Zahra

Telephone No.: (41-22) 338.83.38

PATENT COOPERATION TREATY

From the INTERNATIONAL BUREAU

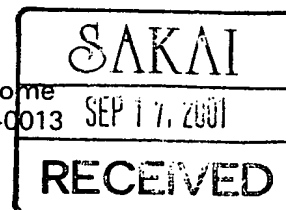
PCT

NOTICE INFORMING THE APPLICANT OF THE COMMUNICATION OF THE INTERNATIONAL APPLICATION TO THE DESIGNATED OFFICES

(PCT Rule 47.1(c), first sentence)

To:

SAKAI, Hiroaki
Tokyo Club Building
2-6, Kasumigaseki 3-chome
Chiyoda-ku, Tokyo 100-0013
JAPON



Date of mailing (day/month/year) 11 September 2001 (11.09.01)		
Applicant's or agent's file reference P1389		IMPORTANT NOTICE
International application No. PCT/JP01/00885	International filing date (day/month/year) 08 February 2001 (08.02.01)	
Applicant WATANABE, Yuichi		Priority date (day/month/year) 08 February 2000 (08.02.00)

1. Notice is hereby given that the International Bureau has communicated, as provided in Article 20, the international application to the following designated Offices on the date indicated above as the date of mailing of this Notice:

US

In accordance with Rule 47.1(c), third sentence, those Offices will accept the present Notice as conclusive evidence that the communication of the international application has duly taken place on the date of mailing indicated above and no copy of the international application is required to be furnished by the applicant to the designated Office(s).

2. The following designated Offices have waived the requirement for such a communication at this time:

None

The communication will be made to those Offices only upon their request. Furthermore, those Offices do not require the applicant to furnish a copy of the international application (Rule 49.1(a-bis)).

REMINDER REGARDING CHAPTER II (Article 31(2)(a) and Rule 54.2)

If the applicant wishes to postpone entry into the national phase until 30 months (or later in some Offices) from the priority date, a demand for international preliminary examination must be filed with the competent International Preliminary Examining Authority before the expiration of 19 months from the priority date.

It is the applicant's sole responsibility to monitor the 19-month time limit.

Note that only an applicant who is a national or resident of a PCT Contracting State which is bound by Chapter II has the right to file a demand for international preliminary examination.

REMINDER REGARDING ENTRY INTO THE NATIONAL PHASE (Article 22 or 39(1))

If the applicant wishes to proceed with the international application in the national phase, he must, within 20 months or 30 months, or later in some Offices, perform the acts referred to therein before each designated or elected Office.

For further important information on the time limits and acts to be performed for entering the national phase, see the Annex to Form PCT/IB/301 (Notification of Receipt of Record Copy) and Volume II of the PCT Applicant's Guide.

<p>The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland</p> <p>Facsimile No. (41-22) 740.14.35</p>	<p>Authorized officer J. Zahra</p> <p>Telephone No. (41-22) 338.83.38</p>
---	---

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/00885

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L29/80, H01L27/06, H02M 1/08, H02M 3/28, H02M7/5387

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L29/80, H01L29/78, H01L27/04, H01L27/06, H02M 1/08, H02M 3/28, H02M7/5387

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2001
Kokai Jitsuyo Shinan Koho	1971-2001	Jitsuyo Shinan Toroku Koho	1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

IEEE/IEE Electronic Library on line
GaN and power

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X ① Y	1999 International Electron Devices Meeting, Technical Digest, pages 389 to 392 Full text	1-4 5-10
X ② Y	Ouyou Butsuri, Vol.68, No.7 (1999), pages 787 to 792 page 787; 1. preface pages 790 to 792, 5. GaN MESFET	1-4 5-10
Y ③	JP, 11-297713, A (The Furukawa Electric Co., Ltd.), 29 October, 1999 (29.10.99), Claim 1; column 3, line 3 to column 4, line 4 (Family: none)	1-10
Y ④ A	JP, 7-303373, A (Canon Inc.), 14 November, 1995 (14.11.95), Claims 1, 2; column 2, line 41 to column 4, line 6 (Family: none)	1-9 10

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
08 May, 2001 (08.05.01)Date of mailing of the international search report
15 May, 2001 (15.05.01)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/00885

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y ⑤	JP, 11-164550, A (ST Microelectron SA), 18 June, 1999 (18.06.99),	1-9
A	Fig. 3; see description concerned & EP, 903839, A & FR, 2768527, A & US, 6150798, A	10
Y ⑥	JP, 9-233810, A (Sony Corporation), 05 September, 1997 (05.09.97),	1-9
A	Figs. 1, 3, 4; see description concerned (Family: none)	10
Y ⑦	EP, 860946, A (Harness System Technologies Research, Ltd.),	10
A	26 August, 1998 (26.08.98), column 7, line 14 to column 8, line 14, & JP, 10-41797, A 13 February, 1998 (13.02.98), Fig. 1; see description concerned & US, 6011416, A	1-9

US

P C T

国際調査報告

(法 8 条、法施行規則第40、41条)
[P C T 1 8 条、P C T 規則43、44]

出願人又は代理人 の書類記号 P 1 3 8 9	今後の手続きについては、国際調査報告の送付通知様式(P C T / I S A / 2 2 0) 及び下記 5 を参照すること。	
国際出願番号 P C T / J P 0 1 / 0 0 8 8 5	国際出願日 (日.月.年) 0 8 . 0 2 . 0 1	優先日 (日.月.年) 0 8 . 0 2 . 0 0
出願人 (氏名又は名称) 渡辺 勇一		

国際調査機関が作成したこの国際調査報告を法施行規則第41条 (P C T 1 8 条) の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない (第 I 欄参照)。

3. ☐ 発明の単一性が欠如している (第 II 欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第 III 欄に示されているように、法施行規則第47条 (P C T 規則38.2(b)) の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から 1 カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 1 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl ⁷ H01L29/80, H01L27/06 H02M 1/08, H02M 3/28, H02M7/5387		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl ⁷ H01L29/80, H01L29/78, H01L27/04, H01L27/06 H02M 1/08, H02M 3/28, H02M7/5387		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2001年 日本国登録実用新案公報 1994-2001年 日本国実用新案登録公報 1996-2001年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語) IEEE/IEE Electronic Library on line GaN and power		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	1999 International Electron Devices Meeting	1-4
Y	TECHNICAL DIGEST p. 389-392 全文参照	5-10
X	応用物理, Vol. 68, No. 7 (1999) p. 787-792	1-4
Y	787頁、1. まえがき 790-792頁、5. GaN MESFET	5-10
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願 の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 08.05.01		国際調査報告の発送日 15.05.01
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 今井 拓也 電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 11-297713, A (古河電気工業株式会社) 29. 10月. 1999 (29. 10. 99) 【請求項1】、第3欄第3行-第4欄第4行 (ファミリー無し)	1-10
Y	JP, 7-303373, A (キャノン株式会社) 14. 11月. 1995 (14. 11. 95)	1-9
A	【請求項1】、【請求項2】第2欄第41行-第4欄第6行 (ファミリー無し)	10
Y	JP, 11-164550, A (エステーマイクロエレクトロニクス エスア) 18. 6月. 1999 (18. 06. 99)	1-9
A	【図3】及び関係記載参照 & EP, 903839, A & FR, 2768527, A & US, 6150798, A	10
Y	JP, 9-233810, A (ソニー株式会社) 5. 9月. 1997 (05. 09. 97)	1-9
A	【図1】【図3】【図4】及び関係記載参照 (ファミリー無し)	10
Y	EP, 860946, A (Harness System Technologies Research, Ltd)	10
A	26 August 1998 column7, line14 - column8, line14 & JP, 10-41797, A 13. 2月. 1998 (13. 02. 98) 【図1】及び関係記載参照 & US, 6011416, A	1-9

記録原本

1/3

特許協力条約に基づく国際出願願書

原本（出願用） - 印刷日時 2001年02月08日（08.02.2001）木曜日 10時58分27秒

P1389

0	受理官庁記入欄	
0-1	国際出願番号.	PCT/JP01/00885
0-2	国際出願日	08.02.01
0-3	(受付印)	PCT International Application 日本国特許庁
0-4	様式-PCT/RO/101 この特許協力条約に基づく国際出願願書は、 右記によって作成された。	PCT-EASY Version 2.91 (updated 01.01.2001)
0-5	申立て 出願人は、この国際出願が特許協力条約に従って処理されることを請求する。	
0-6	出願人によって指定された受理官庁	日本国特許庁 (RO/JP)
0-7	出願人又は代理人の書類記号	P1389
I	発明の名称	電源装置、電源回路および大電流負荷制御装置
II	出願人	出願人及び発明者である (applicant and inventor)
II-1	この欄に記載した者は	すべての指定国 (all designated States)
II-2	右の指定国についての出願人である。	
II-4ja	氏名 (姓名)	渡辺 勇一
II-4en	Name (LAST, First)	WATANABE, Yuichi
II-5ja	あて名:	100-8322 日本国 東京都 千代田区 丸の内二丁目6番1号 古河電気工業株式会社内
II-5en	Address:	c/o THE FURUKAWA ELECTRIC CO., LTD. 6-1, Marunouchi 2-chome Chiyoda-ku, Tokyo 100-8322 Japan
II-6	国籍 (国名)	日本国 JP
II-7	住所 (国名)	日本国 JP
IV-1	代理人又は共通の代表者、通知のあて名 下記の者は国際機関において右記のごとく出願人のために行動する。	代理人 (agent)
IV-1-1ja	氏名 (姓名)	酒井 宏明
IV-1-1en	Name (LAST, First)	SAKAI, Hiroaki
IV-1-2ja	あて名:	100-0013 日本国 東京都 千代田区 霞ヶ関三丁目2番6号 東京倶楽部ビルディング
IV-1-2en	Address:	Tokyo Club Building 2-6, Kasumigaseki 3-chome Chiyoda-ku, Tokyo 100-0013 Japan
IV-1-3	電話番号	03-5512-4699
IV-1-4	ファクシミリ番号	03-5512-4799

特許協力条約に基づく国際出願願書

原本（出願用） - 印刷日時 2001年02月08日 (08. 02. 2001) 木曜日 10時58分27秒


P1389

V	国の指定		
V-1	広域特許 (他の種類の保護又は取扱いを求める場合には括弧内に記載する。)	—	
V-2	国内特許 (他の種類の保護又は取扱いを求める場合には括弧内に記載する。)	US	
V-5	指定の確認の宣言 出願人は、上記の指定に加えて、規則4.9(b)の規定に基づき、特許協力条約のもとで認められる他の全ての国の指定を行う。ただし、V-6欄に示した国の指定を除く。出願人は、これらの追加される指定が確認を条件としていること、並びに優先日から15月が経過する前にその確認がなされない指定は、この期間の経過時に、出願人によって取り下げられたものとみなされることを宣言する。		
V-6	指定の確認から除かれる国	なし (NONE)	
VI-1	先の国内出願に基づく優先権主張		
VI-1-1	先の出願日	2000年02月08日 (08. 02. 2000)	
VI-1-2	先の出願番号	特願2000-31231	
VI-1-3	国名	日本国 JP	
VI-2	先の国内出願に基づく優先権主張		
VI-2-1	先の出願日	2000年04月04日 (04. 04. 2000)	
VI-2-2	先の出願番号	特願2000-102485	
VI-2-3	国名	日本国 JP	
VI-3	先の国内出願に基づく優先権主張		
VI-3-1	先の出願日	2000年04月04日 (04. 04. 2000)	
VI-3-2	先の出願番号	特願2000-102486	
VI-3-3	国名	日本国 JP	
VI-4	優先権 証明書送付の請求 上記の先の出願のうち、右記の番号のものについては、出願書類の認証謄本を作成し国際事務局へ送付することを、受理官庁に対して請求している。	VI-1, VI-2, VI-3	
VII-1	特定された国際調査機関(ISA)	日本国特許庁 (ISA/JP)	
VIII	照合欄	用紙の枚数	添付された電子データ
VIII-1	願書	3	—
VIII-2	明細書	30	—
VIII-3	請求の範囲	2	—
VIII-4	要約	1	要約書 (p1389). txt
VIII-5	図面	11	—
VIII-7	合計	47	

特許協力条約に基づく国際出願願書

P1389

原本（出願用） - 印刷日時 2001年02月08日（08.02.2001）木曜日 10時58分27秒

	添付書類	添付	添付された電子データ
VIII-8	手数料計算用紙	✓	-
VIII-16	PCT-EASYディスク	-	フレキシブルディスク
VIII-17	その他	納付する手数料に相当する特許印紙を貼付した書面	-
VIII-17	その他	国際事務局の口座への振込を証明する書面	-
VIII-18	要約書とともに提示する図の番号	1	
VIII-19	国際出願の使用言語名:	日本語 (Japanese)	
IX-1	提出者の記名押印		
IX-1-1	氏名(姓名)		

受理官庁記入欄

10-1	国際出願として提出された書類の実際の受理の日	08.02.01
10-2	図面:	
10-2-1	受理された	
10-2-2	不足図面がある	
10-3	国際出願として提出された書類を補完する書類又は図面であってその後期間内に提出されたものの実際の受理の日(訂正日)	
10-4	特許協力条約第11条(2)に基づく必要な補完の期間内の受理の日	
10-5	出願人により特定された国際調査機関	ISA/JP
10-6	調査手数料未払いにつき、国際調査機関に調査用写しを送付していない	

国際事務局記入欄

11-1	記録原本の受理の日	23 FEBRUARY 2001	(23.02.01)
------	-----------	------------------	------------

明 細 書

電源装置、電源回路および大電流負荷制御装置

5 技術分野

この発明は、自動車、電気車両、建設機械、各種民生機器（ビデオ機器、テレビジョン受像機、オーディオ機器など）、各種産業機器（パーソナルコンピュータ、通信機器、FA用制御機器など）などに用いられる各種の電源装置に関するものである。また、この発明は、GaN-FETを用いたスイッチング電源の電源回路および大電流負荷制御装置に関するものである。

10

背景技術

従来から、各種の電源装置には、ダイオード、サイリスタ、トライアック、GTO (Gate Turn Off)サイリスタ、バイポーラトランジスタ、MOS-FET、IGBT (絶縁ゲートバイポーラトランジスタ: Insulated Gate Bipolar Transistor)等のパワー半導体デバイスが用いられている。これらのパワー半導体デバイスは、スイッチング制御あるいはアナログ的制御によって、パワー半導体デバイス内を流れる主電流を制御し、スイッチングレギュレータやリニアレギュレータ等の安定化電源装置あるいは任意の周波数および出力電圧をもつ電力に変換するインバータを実現する核となるデバイスである。

15

20

これらのパワー半導体デバイスは、スイッチング時の過渡的な電圧と電流との重なりによるスイッチング損失と導通時に発生する導通損失とが存在し、これらの損失は主として熱に変換される。なお、導通損失は、オン抵抗が低いほど小さくなる特性を有する。このオン抵抗は、パワー半導体デバイスにおける電極と半導体層界面との接触抵抗を除いた半導体内部のチャネル抵抗とバルク抵抗などの合成抵抗に相当する。このパワー半導体デバイスによって発生する熱は、パワー半導体デバイス自体の温度上昇を招き、この温度上昇によってパワー半導体デバ

25

イスが高温動作し、この高温動作によってパワー半導体デバイスの発熱を促進するという正帰還を生じさせ、結果として、熱暴走によるパワー半導体デバイスの熱破壊をもたらす。

5 このため、電源装置は、パワー半導体デバイス自体に放熱機構を持たせ、さらにはパワー半導体デバイスが発生する熱を放熱する放熱フィン等の放熱器を持たせるのが通常である。さらに、放熱効果を向上させるために放熱ファンを持たせる場合もある。さらに、パワー半導体デバイスの温度をセンシングして、熱暴走に至る温度まで上昇すると、動作を停止させる等のフェールセーフ機構を持たせている。

10 しかしながら、放熱器は、ヒートシンクとしての機能をも持たせるべく、アルミニウム等の良熱伝導性材料によって形成されるため、電源装置全体が大重量化および大容量化するという問題点があった。特に、車両等の移動体用あるいは携帯用の電源装置では、小型軽量化した電源装置の出現が強く要望されている。

たとえば、第16図に示す従来の電源装置では、大重量、かつ大容量の放熱器
15 302を必要とする。第16図に示した電源装置は、車両のDC-DCコンバータ電源装置であり、Si系半導体材料を用いたMOS-FETがスイッチング素子として組み込まれている。装置本体301内には、電源装置を構成する各素子が組み込まれている。装置本体301の上部には、アルミニウムによって形成された放熱器302が設けられる。この放熱器302と装置本体301との接合面
20 では、図示しないMOS-FETが放熱器302に密着し、MOS-FETが発する熱は、放熱器302によって吸収され、放熱器302上部のフィンによって放熱される。この放熱器302の設置のために、電源装置全体の重量および容積が極端に大きくなってしまっている。

また、放熱器は、パワー半導体デバイスからの熱を良好に伝達させるために、
25 パワー半導体デバイスに密着させる必要があることから、電源装置の筐体の外周や放熱経路を十分考慮した上で配置させる必要があるという設計上の制限をもたらし、電源装置の設計の自由度を減少させるという問題点があった。これに加え

て、電源装置を用いる車両等の機器は、この電源装置の配置位置によって機器全体の設計変更をしなければならず、機器全体の設計にも大きな影響を及ぼすという問題点もあった。

5 さらに、放熱器の設計に当たっては、電源装置の周囲環境も考慮した十分な放熱設計が行われる必要があるとともに、熱源であるパワー半導体デバイスによって、耐熱性が低い他の回路素子に影響が及ばないようにしなければならず、放熱設計および電源装置を構成する他の回路素子の配置設計に多大の時間と労力とがかかるという問題点があった。

10 また、電源装置の熱暴走を防止するための熱保護回路が必要となる。この熱保護回路は、電源装置内のパワー半導体デバイス等の重要部品の温度変化を監視し、一定温度まで上昇した場合に、電源装置を停止させ、低消費モードに移行させるなどのフェールセーフ制御を行う。ここで、この熱保護回路は、温度、出力電流等をセンシングし、論理処理回路を用いてフェールセーフ制御に移行する処理を行う複雑な回路であり、電源装置は、このような複雑な回路をもつ熱保護回路
15 を設けなければならないという問題点があった。

なお、近時、高耐熱性、高耐圧性、高速動作、および導通損失の低い半導体デバイスとしてGaN（窒化ガリウム）-FET（電界効果トランジスタ）が開発されている。

20 また、従来、この種の電源回路は、たとえば自動車用、各種民生危機（ビデオ、テレビ、オーディオなど）や産業機器（パソコン、通信機器、FA用制御機器など）に適用されている。

上記電源回路は、トランスを有しており、上記トランスの1次巻き線に接続された、たとえばパワーMOS系の素子からなるトランジスタがゲート信号に応じてオン/オフ動作することによって、2次巻き線側に出力電圧が発生していた。

25 ところが、上記電源回路では、トランジスタとして用いられるパワーMOS系の素子、たとえばパワーMOS-FET（2SK2313）は、発熱が大きいので、放熱設計を正確に行う必要がある。すなわち、周囲温度85℃でのパワーM

OS-FET自立のチャネル温度 $T_{ch\ max}$ を計算すると、

$$\begin{aligned} T_{ch\ max} &= T_{a\ max} + P_{total} \times R_{th\ (ch-a)} \\ &= 85^{\circ}\text{C} + 2\text{W} \times 50^{\circ}\text{C}/\text{W} \\ &= 185^{\circ}\text{C} \end{aligned}$$

5 ここで、 $T_{a\ max}$: 周囲温度

P_{total} : 全損失

$R_{th\ (ch-a)}$: チャネルー周囲間の熱抵抗

となり、チャネル温度以上まで温度上昇する。したがって、放熱板を設ける必要がある。放熱板設計は、チャネル温度 150°C に対して、ディレーティングを5
10 0°C に考えるとすると、

$$\begin{aligned} \theta_f &< \theta_{ch-a} - (\theta_i + (\theta_c + \theta_s)) \\ &= 7.5^{\circ}\text{C}/\text{W} - (0.833^{\circ}\text{C}/\text{W} + 0.8^{\circ}\text{C}/\text{W}) \\ &= 5.9^{\circ}\text{C}/\text{W} \end{aligned}$$

ここで、 θ_f : 放熱器熱抵抗

15 θ_{ch-a} : チャネルー周囲間の全熱抵抗

θ_i : 接合部ーケース間熱抵抗 (内部熱抵抗)

$\theta_c + \theta_s$: ケースー放熱器間の熱抵抗

となる。以上より、放熱器は熱抵抗 $5.9^{\circ}\text{C}/\text{W}$ 以下のものを選択する必要がある。このために、たとえば 1mm 厚のアルミニウム板 100cm^2 の放熱板が必要
20 となる。その結果、従来の電源回路では、この放熱板のために回路構成が大き
く、かつ重くなるという問題点があった。

また、従来、この種の大電流負荷制御装置は、たとえば自動車用のヘッドランプの点灯制御に適用されている。

上記大電流負荷制御装置では、バッテリーとランプを接続させる電源線に設けら
25 れたたとえばオン／オフ制御用のスイッチング素子からなるパワーMOS-FETを、マイクロコンピュータ (以下、「マイコン」という) の制御でオン／オフ動作させることによって、ヘッドランプの点灯制御を行っていた。

ところが、上記制御装置では、オン／オフ制御用のスイッチング素子として用いられるパワーMOS-FETは、発熱が大きいので、放熱設計を正確に行う必要がある。すなわち、パワーMOS-FETのチャネル温度 $T_{ch\ max}$ を計算すると、

$$\begin{aligned} T_{ch\ max} &= (T_{a\ max}) + (R_{on\ max}) \times (I_{o\ max}) \times (I_{o\ max}) \times \\ &\quad R_{th\ (ch-a)} \cdots (10) \\ &= 85^{\circ}\text{C} + 0.013\ \Omega \times 1.0\ \text{A} \times 1.0\ \text{A} \times 50^{\circ}\text{C}/\text{W} \\ &= 150^{\circ}\text{C} \end{aligned}$$

ここで、 $T_{a\ max}$: 周囲温度

10 $R_{on\ max}$: オン抵抗

$I_{o\ max}$: 電流値

$R_{th\ (ch-a)}$: チャネルー周囲間の熱抵抗

となり、チャネル温度まで温度上昇する。したがって、放熱板を設ける必要がある。放熱板設計は、チャネル温度 150°C に対して、ディレーティングを 50°C に考えるとすると、

$$\begin{aligned} \theta_f &< \theta_{j-a} - (\theta_i + (\theta_c + \theta_s)) \\ &= 11.5^{\circ}\text{C}/\text{W} - (0.833^{\circ}\text{C}/\text{W} + 0.8^{\circ}\text{C}/\text{W}) \\ &= 9.9^{\circ}\text{C}/\text{W} \end{aligned}$$

ここで、 θ_f : 放熱器熱抵抗

20 θ_{j-a} : 接合部ー外気間の全熱抵抗

θ_i : 接合部ーケース間熱抵抗 (内部熱抵抗)

$\theta_c + \theta_s$: ケースー放熱器間の熱抵抗

となる。以上より、放熱器は熱抵抗 $9.9^{\circ}\text{C}/\text{W}$ 以下のものを選択する必要がある。このために、たとえば $1\ \text{mm}$ 厚のアルミニウム板 $6\ \text{cm}^2$ 、重さ約 $10\ \text{g}$ の放熱板が必要となる。その結果、従来の大電流負荷制御装置では、この放熱板のために回路構成が大きく、かつ重くなるという問題点があった。

したがって、本発明は、小型軽量化を実現し、放熱設計を含めた設計を柔軟に

行うことができ、設計にかかる時間と労力とを格段に減少させることができる電源装置を提供することを目的としている。

また、本発明は、トランジスタの発熱を小さくして放熱板を不要とし、回路の小型、軽量化を図ることができる電源回路を提供することを目的としている。

- 5 また、本発明は、オン／オフ制御用のスイッチング素子の発熱を小さくして放熱板を不要とし、回路の小型、軽量化を図ることができる大電流負荷制御装置を提供することを目的としている。

発明の開示

- 10 本発明にかかる電源装置は、電力制御対象である主電流上に配置し、GaN系化合物を用いて形成した半導体素子と、前記半導体素子を流れる主電流の導通を制御する制御手段と、を備えたことを特徴としている。

- この発明によれば、GaN系化合物を用いて形成した半導体素子を電力制御対象である主電流上に配置し、制御手段が、前記半導体素子を流れる主電流の導通
15 を制御する。半導体素子は、導通時の抵抗が小さいため、発熱がほとんどなく、電源装置に放熱器を備える必要がなくなる。また、半導体素子を放熱器に密着させる必要がなくなり、半導体素子は、電源装置内の任意の位置に配置することができる。

- また、本発明にかかる電源装置は、電力制御対象である主電流上に配置し、GaN系化合物を用いて形成した半導体素子と、前記半導体素子を流れる主電流の
20 導通をスイッチング制御する制御手段と、を備えたことを特徴としている。

- この発明によれば、GaN系化合物を用いて形成した半導体素子を電力制御対象である主電流上に配置し、制御手段が、前記半導体素子を流れる主電流の導通をスイッチング制御する。半導体素子は、導通時の抵抗が小さいため、発熱がほとんどなく、電源装置に放熱器を備える必要がなくなる。また、半導体素子を放熱器に密着させる必要がなくなり、半導体素子は、電源装置内の任意の位置に配置
25 することができる。

また、本発明にかかる電源装置は、上記の発明において、前記半導体素子を複数備え、前記複数の半導体素子を並列接続したことを特徴としている。

5 この発明によれば、電力制御対象である主電流上に配置される半導体素子を複数設け、各半導体素子を並列接続し、制御できる主電流の限界を大幅に向上させるようにしている。なお、半導体素子を並列接続した場合でも、半導体素子自体の発熱がほとんどないため、半導体素子自体の温度はほとんど上昇せず、温度特性のバラツキによる各半導体素子間の電流アンバランスは小さい。

また、本発明にかかる電源装置は、上記の発明において、前記複数の半導体素子を隣接配置したことを特徴としている。

10 この発明によれば、電力制御対象である主電流上に配置される半導体素子を複数設け、各半導体素子を並列接続する際、電源装置内における半導体素子どうしを隣接配置するようにしている。

また、本発明にかかる電源装置は、上記の発明において、前記半導体素子は、GaN-FETであることを特徴としている。

15 この発明によれば、電力制御対象である主電流上に配置される半導体素子をGaN-FETで形成し、導通時の抵抗を極めて小さくし、半導体素子の発熱がほとんどないようにしている。

20 また、本発明にかかる電源回路は、トランスを有し、該トランスの1次巻き線に印加される電圧をオン／オフ制御することによって、前記トランスの2次巻き線側に安定化された電源電圧を供給する電源回路において、前記トランスの1次巻き線に接続され、ゲート信号によってオン／オフ制御されるGaN-FETを備えたことを特徴としている。

25 この発明によれば、スイッチング素子であるトランジスタを発熱の小さいGaN-FETで構成させることにより、専有面積が大きく、かつ重量のある放熱板を不要とする。

また、本発明にかかる大電流負荷制御装置は、電源からの電流を所定の指示に応じてオン／オフ制御して電気負荷に供給する大電流負荷制御装置において、前

記電源と負荷を接続させる電源線に接続され、前記制御によってオン／オフ動作するGaN-FETを備えたことを特徴としている。

- この発明によれば、オン／オフ制御用のスイッチング素子を発熱の小さい、かつ高温動作（500℃以上）が可能なGaN-FETで構成させることにより、
5 専有面積が大きく、かつ重量のある放熱板を不要とする。

図面の簡単な説明

- 第1図は、この発明の実施の形態1である電源装置の概要回路構成を示す図であり、第2図は、第1図に示したGaN-FETの構成を示す図であり、第3図
10 (a)～(c)は、Si系半導体のFETを用いた場合の電源装置とGaN-FETを用いた実施の形態1の電源装置との構造の差異を示す図であり、第4図は、この発明の実施の形態2である電源装置の概要回路構成を示す図であり、第5図(a)～(c)は、Si系半導体のFETを用いた場合の電源装置とGaN-FETを用いた実施の形態2の電源装置との構造の差異を示す図であり、第6図
15 は、この発明の実施の形態3である電源装置の概要回路構成を示す図であり、第7図は、この発明の実施の形態3である他の電源装置の概要回路構成を示す図であり、第8図(a)～(c)は、この発明の実施の形態3である他の電源装置の概要回路構成を示す図であり、第9図は、この発明の実施の形態4である電源装置の概要回路構成を示す図であり、第10図は、この発明にかかる電源回路の構成の一例を示す回路図であり、第11図は、コイルL1の電流とGaN-FET
20 11のオン／オフ動作との関係を示す波形図であり、第12図は、第10図に示したトランスの1次側の電流－電圧の波形を示す波形図であり、第13図は、この発明にかかる大電流負荷制御装置の回路構成を示す回路図であり、第14図は、第13図に示した過電流検出回路の回路構成を示す回路図であり、第15図は、
25 本発明にかかる大電流負荷制御装置のその他の回路構成を示す回路図であり、第16図は、従来における電源装置の構成を示す斜視図である。

発明を実施するための最良の形態

以下に添付図面を参照して、この発明にかかる電源装置、電源回路および大電流負荷制御装置の好適な実施の形態を詳細に説明する。

第1図は、この発明の実施の形態1である電源装置の概要回路構成を示す図である。この電源装置は、リニアレギュレータであり、直流12Vの入力電圧 V_{in} を、最大10Aとする直流5Vの出力電圧 V_{out} として変換出力する安定化電源装置である。

第1図において、GaN-FET10は、入力電圧 V_{in} 側の入力端子11と出力電圧 V_{out} 側の出力端子12との間に接続される。GaN-FET10のドレインDおよびソースSは、それぞれ入力端子11側および出力端子12側に接続され、GaN-FET10のゲートGは、ツェナーダイオードZDに接続される。すなわち、GaN-FET10は、入力電圧 V_{in} 側から出力端子 V_{out} 側に流れる主電流を制御する。

電解コンデンサC1は、入力電圧 V_{in} がブリッジダイオードなどによって全波整流されている場合に電圧波形を平滑するコンデンサである。ツェナーダイオードZDおよび抵抗Rは、シャントレギュレータを形成し、12Vの入力電圧 V_{in} を5Vの出力電圧 V_{out} に電圧設定する。ここで、出力電圧 V_{out} は、ツェナーダイオードZDの端子電圧を電圧 V_z とし、GaN-FET10のゲート・ソース間電圧を電圧 V_{gs} とすると、出力電圧 V_{out} は、次式(1)で示される。

すなわち、

$$V_{out} = V_z - V_{gs} \quad \dots (1)$$

となる。ここで、ツェナーダイオードZDの電圧 V_z は、具体的に5.6Vに設定され、電圧 V_{gs} は0.3Vであるため、出力電圧 V_{out} は、 $5.6V - 0.3V = 5.3V$ として出力される。なお、セラミックコンデンサC2は、GaN-FET10の発振防止用のコンデンサである。また、電解コンデンサC3は、出力電圧 V_{out} に接続される図示しない負荷の瞬時的な変動を平滑するためのコンデンサである。これによって、第1図に示した電源装置は、出力電圧 V_{out} を5

． 3 Vとする安定した電源電圧を負荷に対して供給する。

ここで、一般的なFETとしては、微細加工が容易なSi系半導体を用い、高速動作を可能とするFETの場合には、GaAs系化合物半導体を用いていた。第1図に示したGaN-FET10は、GaN系化合物半導体を用い、高耐熱性、高耐圧性、高速動作、および導通損失の低いFETであり、たとえば、HEMT型、MES（金属-半導体）型FET構造である。

第2図に示したGaN-FET10は、半絶縁性のサファイア基板1の上に、GaNバッファ層2を積層し、半絶縁性のGaN層3およびn型AlGaN層4を順次積層し、さらにn型AlGaN層4の表層部中央の一部にInとCまたはMgがドーピングされた拡散層4aが形成され、拡散層4a上にゲートGの電極が装荷される。n型AlGaN層4の表層部の他の部分には、n型GaN層5が積層され。n型AlGaN層4の表層部の他の部分のうちの一方は、ソースSの電極が装荷され、他方は、ドレインDの電極が装荷される。各電極の以外の部分は、SiO₂の絶縁膜6で被覆される。

第2図に示したGaN-FET10の各半導体層は、GaN系化合物半導体によって形成され、MOCVD法あるいはMBE法などのエピタキシャル結晶成長法を用いて成膜される。GaN系化合物半導体とは、GaN、AlGaN、InGaN、InAlGaN、InGaAs、InGaN_P等の総称である。

GaN-FET10は、Si系半導体のFETに比して、単位面積当たりのオン抵抗が $\sim 1/100$ 以下の値になり、導通損失が小さい。このため、GaN-FET10自体の発熱量は極端に小さくなる。また、Si系半導体の動作温度が最大125℃ \sim 150℃程度であるのに対し、GaN-FET10は、500℃でも安定動作が可能である。ここで、GaN-FET10は、最大で10Aの電流を導通させるため、GaN-FET10のチャネル（ジャンクション）発熱最大温度 T_{1chmax} を、最大10Aの電流を導通させるSi系半導体のFETのチャネル発熱最大温度 T_{2chmax} と比較して検討する。

チャネル発熱最大温度 T_{chmax} は、周囲最大温度 T_{amax} 、オン時最大抵抗 R_{on}

max、オン時最大電流 I_{onmax} 、チャネルと周囲との間の熱抵抗係数 $R_{th(ch-a)}$ を用いると、次式(2)として表すことができる。すなわち、

$$T_{chmax} = T_{amax} + R_{onmax} * I_{onmax} * I_{onmax} * R_{th(ch-a)} \quad \dots (2)$$

5 である。

ここで、周囲最大温度 T_{amax} を 85°C とし、熱抵抗係数 $R_{th(ch-a)}$ を $50^{\circ}\text{C}/\text{W}$ とし、Si系半導体のFETのオン時最大抵抗 R_{onmax} を 0.013Ω とすると、Si系半導体のFETのチャネル発熱最大温度 T_{2chmax} は、

$$\begin{aligned} T_{2chmax} &= 85^{\circ}\text{C} + 0.013\Omega * 10\text{A} * 10\text{A} * 50^{\circ}\text{C}/\text{W} \\ 10 \quad &= 150^{\circ}\text{C} \end{aligned}$$

となる。

一方、GaN-FET10のチャネル発熱最大温度 T_{1chmax} は、Si系半導体のFETのオン時最大抵抗 R_{onmax} の $1/100$ 以下であるため、

$$\begin{aligned} T_{2chmax} &= 85^{\circ}\text{C} + (0.013\Omega / 100) * 10\text{A} * 10\text{A} * 50^{\circ}\text{C}/\text{W} \\ 15 \quad &= 85.65^{\circ}\text{C} \end{aligned}$$

となる。

この結果、最大 10A の電流が導通した場合、Si系半導体のFETでは 150°C まで温度上昇したにもかかわらず、GaN-FET10は、ほとんど周囲温度 T_{amax} と同じであり、ほとんど温度上昇していないことがわかる。このため、
20 第1図に示した電源装置のGaN-FET10を冷却するための放熱器は不必要となる。

第3図は、Si系半導体のFETを用いた場合の電源装置とGaN-FET10を用いた場合の電源装置との構造の差異を示す図である。第3図(a)は、第10図に示した従来の電源装置に対応した電源装置の断面図であり、Si系半導体のFET20を用いている。FET20は発熱量が大きいので、良熱伝導性のアルミニウムによって形成された放熱器22を装置本体21の上部に設け、放熱器22の一端面は、装置本体21側に向けられ、装置本体21の蓋としての機能

をなすとともに、放熱器22の他端面には、放熱フィンが設けられてFET20によって発生した熱を周囲に放射する。この従来の電源装置における発熱は、FET20による発熱が大部分を占めるため、FET20は、放熱器22の一端面に接触面積を大きくして接合される。

5 これに対し、第3図(b)は、GaN-FET10を用いた電源装置の断面図であり、放熱器22が設けられていない点が、第3図(a)に示した電源装置と異なる。これは、上述したように、第3図(b)に示した電源装置が発熱の少ないGaN-FET10を用いているからである。この結果、GaN-FET10を用いた電源装置では、重量および容量の大きな放熱器22を削除することができるので、電源装置の小型軽量化を実現することができるとともに、放熱器22
10 の設計のための放熱設計計算を行わなくてもよいことになる。

 また、GaN-FET10自体が発熱しないため、GaN-FET10は、装置本体23の任意の箇所に配置することができる。このため、電源装置を構成する各素子の配置、すなわちレイアウト設計を柔軟に行うことができる。

15 さらに、GaN-FET10の発熱を考慮しなくてもよいので、電源装置全体の放熱設計が容易になるとともに、レイアウト設計が柔軟に行えることから、第3図(c)に示すように、電源装置を構成する各素子のレイアウトを集積化することが可能となる。この結果、電源装置本体23自体を縮小した電源装置本体24とすることができる。これによって、一層、電源装置の小型軽量化が実現され
20 る。さらに、電源装置の小型軽量化と、電源装置自体の発熱が少ないことから、電源装置を用いた車両等の機器の任意の箇所に、この電源装置を配置することができる。

 なお、第3図(b)、(c)に示したGaN-FET10の大きさを第3図(a)に示したFET20の大きさに比して小さくしたのは、GaN-FET10
25 自体の発熱量が小さいため、GaN-FET10自体の放熱構造が不要となり、GaN-FET10自体が小型軽量化されるからである。

 また、第1図に示した電源装置は、最も簡易なリニアレギュレータの一例を示

したが、さらに負荷変動に伴う出力電圧 V_{out} を安定化するための回路を設けるようにしてもよい。たとえば、出力電圧 V_{out} 間に、直列接続した抵抗を用いて分圧し、各抵抗を半固定抵抗として微調整することによって、ツェナーダイオード ZD の電圧 V_z を調整するようにしてもよい。

- 5 さらに、直列接続した抵抗の分圧と基準電圧とを比較する差動アンプを用いて過電流や負荷短絡からの保護を行う保護回路を設けるようにしてもよい。ただし、過電流によっても、 $GaN-FET10$ 自体は温度上昇がほとんどないため、熱保護回路を簡素化し、または熱保護回路を設けなくてもよい。この場合、入力電圧 V_{in} 側にヒューズ等を設けておくことによって、他素子の破壊を防止すれば
- 10 よい。この結果、 $GaN-FET10$ を用いた電源装置では、熱保護回路の簡素化または削減が可能であるため、一層、電源装置の小型軽量化が促進され、電源装置の設計にかかる時間と労力とを削減することができる。

- この実施の形態1によれば、オン抵抗の小さい $GaN-FET10$ を用いているので、電源装置の放熱器22を必要とせず、電源装置内において $GaN-FET10$ を任意の位置に配置することができるため、電源装置を格段に小型軽量化
- 15 することができる。また、放熱器を含む放熱設計および熱保護回路の設計にかかる時間と労力とを軽減することができるとともに、 $GaN-FET10$ を電源装置内において任意の位置に配置することができるので、電源装置全体のレイアウト設計にかかる時間と労力をも軽減することができる。さらに、 $GaN-FET10$ 自体の発熱量が小さく、かつ $500^{\circ}C$ 以上の高耐熱性を有するため、電源装置の長時間使用が可能となり、電源装置にかかるメンテナンスも軽減される。
- 20 つぎに、この発明の実施の形態2について説明する。この実施の形態2による電源装置では、 $GaN-FET10$ を並列接続するようにしている。

- 第4図は、この発明の実施の形態2である電源装置の概要回路構成を示す図である。第4図に示した電源装置では、 $GaN-FET10$ と同じ構成の $GaN-FET30$ を並列接続した構成としている。 $GaN-FET10$ と $GaN-FET30$ との並列接続とは、各 $GaN-FET10$ 、 30 のソース S 、ドレイン D
- 25

、ゲートGを接続することである。その他の構成は、第1図に示した電源装置と同じであり、同一構成部分には同一符号を付している。

上述したように、GaN-FET10、30自体は、オン抵抗が極めて小さいため、導通損失が少なく、発熱量が小さい。このため、複数のGaN-FETの隣接配置が可能となり、GaN-FET10単体のときに比較して、大きな重量変化および容積変化を伴わないGaN-FETの並列接続が可能となる。結果として、電源装置の最大電流値を倍増することができる。すなわち、第4図に示したGaN-FET10、30は、それぞれ最大10Aの電流を導通させることが可能であったが、これらを並列接続させることによって、最大20Aの電流を導通させることができる。その結果、電源装置全体の電力供給能力が倍増することになる。

第5図は、Si系半導体のFETを用いた場合の電源装置と、並列接続したGaN-FET10、30を用いた場合の電源装置との構造の差異を示す図である。第5図(a)は、第3図(a)に示した従来の電源装置の断面図である。第5図(b)は、並列接続したGaN-FET10、30を隣接配置した電源装置の断面図である。並列接続したGaN-FET10、30と同じ20Aの電流を導通させる電源装置をSi系半導体のFET20を用いて実現する場合、FET20の発熱量がさらに大きくなるため、第5図(a)に示した放熱器22をさらに大きなものとしなければならない。

これに対し、第5図(b)に示した電源装置では、第5図(a)に示した電源装置の電力供給量の2倍の能力を有するにもかかわらず、放熱器22を不要とすることから、格段の小型軽量化を実現している。また、各GaN-FET10、30は隣接配置することが可能であるので、電源装置の設計も容易となる。

また、第5図(c)では、第3図(c)と同様に、電源装置を構成する各素子のレイアウト設計を柔軟に行うことによって、一層、小型軽量化した電源装置を実現している。

なお、第4図では、二つのGaN-FET10、30を並列接続した構成とし

たが、これに限らず、三つ以上のGaN-FETを並列接続した構成としてもよい。この場合、さらに電力供給能力を向上させることができる。

この実施の形態2によれば、実施の形態1の作用効果に加え、GaN-FET 10、30を並列接続するのみで、一つのGaN-FETを用いたときの重量および容積と同じ規模で電源装置自体の電力供給能力を倍増することができる。また、大電流の通電を可能とするGaN-FET単体の開発が進行中である現状を考えると、GaN-FETの並列接続は、大電力用電源装置の小型軽量化を容易に実現するための有効な手段となる。

つぎに、この発明の実施の形態3について説明する。上述した実施の形態1、2では、いずれもリニアレギュレータとしての電源装置であったが、この実施の形態3では、スイッチングレギュレータとしての電源装置に上述したGaN-FETを用いるようにしている。

第6図は、この発明の実施の形態3である電源装置の概要回路構成を示す図である。第6図に示す電源装置は、スイッチングレギュレータである。すなわち、実施の形態1、2で示した電源装置は、GaN-FET 10、30を用いて電流量をリニアに制御するようにしていたが、この電源装置では、スイッチング制御によって電流量を制御するようにしている。

第6図に示したスイッチングレギュレータは、フォワード型のスイッチングレギュレータである。このスイッチングレギュレータでは、パルス幅制御回路41が出力するパルス幅変調(PWM)信号がGaN-FET 40のゲートに印加され、GaN-FET 40がスイッチングされる。GaN-FET 40がオンのとき、電解コンデンサC 41に蓄積された入力電圧 V_{in} のエネルギーは、トランスT 1、ダイオードD 1、インダクタL 1を介し、電解コンデンサC 42に転送される。GaN-FET 40がオフのとき、インダクタL 1に残ったエネルギーは、ダイオードD 2を介して電解コンデンサC 42に転送される。電解コンデンサC 42は、出力電圧 V_{out} として出力する。

差動アンプ42は、出力電圧 V_{out} 間に直列接続された抵抗R 1、R 2の分圧

と基準電圧 V_{ref} とを比較し、負荷変動に伴う制御量をフォトカプラPCを介してパルス幅制御回路41に通知する。パルス幅制御回路41は、フォトカプラPCから入力された制御量に対応したPWM信号をGaN-FET40のゲートに印加し、GaN-FET40の通電量を制御することによって、出力電圧 V_{out} 側（2次側）の電力制御を行う。

このスイッチングレギュレータでは、一次側のスイッチング素子としてGaN-FET40を用いているが、このGaN-FET40は、実施の形態1、2におけるGaN-FET10、30と同様に、従来のSi系半導体のFETに比して、オン抵抗が小さい。したがって、GaN-FET40自体による発熱量はほとんどなく、放熱のための放熱器が不要となる。

また、GaN-FET40自体の発熱がほとんどないことと、放熱器を不要することから、スイッチングレギュレータ内におけるGaN-FET40の配置に任意にとることができる。この結果、スイッチングレギュレータの小型軽量化を実現できるとともに、放熱設計を含む設計にかかる時間と労力とを軽減することができる。

第7図は、この発明の実施の形態3である他の電源装置の概要回路構成を示す図である。第6図に示した電源装置は、フォワード型のスイッチングレギュレータであったが、第7図に示す電源装置は、フライバック型のスイッチングレギュレータである。すなわち、第6図に示した電源装置は、GaN-FET40がオンのときに、1次側の電力エネルギーが2次側に転送されたが、第7図に示した電源装置は、GaN-FET50がオフのときに、1次側の電力エネルギーが2次側に転送される。

第7図において、このスイッチングレギュレータでは、パルス幅制御回路51が出力するパルス幅変調（PWM）信号がGaN-FET50のゲートに印加され、GaN-FET50がスイッチングされる。トランスT2の巻き方向は、トランスT1の巻き方向と異なり、GaN-FET50がオンのとき、入力電圧 V_{in} のエネルギーは、トランスT1に蓄積される。GaN-FET50がオフとき

、トランスT 2に蓄積されたエネルギーは、ダイオードD 3を介して電解コンデンサC 5 2に転送され、電解コンデンサC 5 2は、出力電圧Vout を出力する。

5 差動アンプ5 2は、出力電圧Vout 間に直列接続された抵抗R 1、R 2の分圧と基準電圧Vref とを比較し、負荷変動に伴う制御量をフォトカプラPCを介してパルス幅制御回路5 1に通知する。パルス幅制御回路5 1は、フォトカプラPCから入力された制御量に対応したPWM信号をGa N-F E T 5 0のゲートに印加し、Ga N-F E T 5 0の通電量を制御することによって、出力電圧Vout 側の電力制御を行う。

10 このフライバック型のスイッチングレギュレータも、Ga N-F E T 5 0を用いているので、放熱器が不要となり、スイッチングレギュレータ全体の小型軽量化が実現され、放熱設計を含む設計を柔軟に行うことができる。

同様にして、第8図は、Ga N-F E Tを用いた他のスイッチングレギュレータの一例を示している。第8図(a)は、プッシュプル型(センタタップ型)のスイッチングレギュレータの一例を示す。また、第8図(b)は、ハーフブリッジ型のスイッチングレギュレータの一例を示す。さらに、第8図(c)は、フルブリッジ型のスイッチングレギュレータの一例を示す。第8図(a)～第8図(c)に示すスイッチングレギュレータでは、スイッチング素子としていずれもGa N-F E T 6 1、6 2、7 1、7 2、8 1～8 4を用いている。

20 この第8図(a)～第8図(c)に示した各スイッチングレギュレータも、Ga N-F E T 6 1、6 2、7 1、7 2、8 1～8 4を用いているので、放熱器が不要となり、スイッチングレギュレータ全体の小型軽量化が実現され、放熱設計を含む設計を柔軟に行うことができる。特に、スイッチング素子を複数用いているが、各スイッチング素子として複数のGa N-F E T 6 1、6 2、7 1、7 2、8 1～8 4を用いているので、Ga N-F E T間の隣接配置が可能となり、スイッチングレギュレータの小型軽量化を促進する。

25 なお、その他のスイッチングレギュレータも同様にして、スイッチングレギュレータが用いるスイッチング素子をGa N-F E Tとすることによって、上述し

た作用効果を達成することができる。たとえば、RCC（リングング・チョーク・コイル）方式を用いた自励型のスイッチングレギュレータであってもよい。

また、上述したスイッチングレギュレータは、いずれもパルス幅制御によるものであったが、これに限らず、パルスの周波数制御によって各GaN-FETの
5 通電量を制御するようにしてもよい。

この実施の形態3によれば、実施の形態1、2と同様に、電源装置がスイッチングレギュレータである場合でも、スイッチング素子にオン抵抗の小さいGaN-FETを用いることによって電源装置の放熱器を必要とせず、電源装置内においてGaN-FETを任意の位置に配置することができるため、電源装置を格段
10 に小型軽量化することができる。

また、放熱器を含む放熱設計にかかる時間と労力とを軽減することができる。とともに、GaN-FETを電源装置内において任意の位置に配置することができるので、電源装置全体のレイアウト設計にかかる時間と労力とを軽減することができる。さらに、GaN-FET自体は、発熱量が小さく、かつ高耐熱性を有し
15 ているため、電源装置の長時間使用が可能となり、電源装置にかかるメンテナンスも軽減される。

つぎに、この発明の実施の形態4について説明する。上述した実施の形態1～3の電源装置は、いずれもDC-DCコンバータであったが、この実施の形態4では、DC-ACインバータに用いられるスイッチング素子にGaN-FETを用いるようにしている。
20

第9図は、この発明の実施の形態4である電源装置の概要回路構成を示す図である。第9図に示した電源装置は、商用の三相交流電源90からの交流電流を整流回路91内のダイオード群によって整流し、電解コンデンサC91によって平滑する。平滑された電流は、インバータ回路92によって所望の周波数および所望の出力電圧をもつ交流電流に変換され、誘導電動機（IM）94に出力される
25 。

インバータ回路92は、U層、V層、W層の各相に対応して、それぞれ一对の

スイッチング素子としてのGaN-FET101、102、103、104、105、106を有する。駆動制御部93は、各一对のGaN-FET101～106に対し、各相に対応するPWM信号を送出して、各GaN-FET101～106をスイッチング制御し、所望の周波数および出力電圧をもった三相交流電力を供給させる。なお、各GaN-FET102、104、106に対しては、各GaN-FET101、103、105のPWM信号の反転信号がゲートに入力される。

第9図に示したインバータとしての電源装置の場合も、GaN-FET101～106を用いているので、放熱器が不要となり、電源装置全体の小型軽量化が実現され、放熱設計を含む設計を柔軟に行うことができる。

なお、その他のインバータとしての電源装置、たとえば誘導加熱を用いた炊飯ジャーに用いられるインバータであって、一つのスイッチング素子を用いて直流電流を所望の交流電流に変換するインバータの場合であっても、スイッチング素子をGaN-FETとすることによって、同様な作用効果を得ることができる。

この実施の形態4によれば、実施の形態1～3と同様に、インバータに用いられるスイッチング素子にオン抵抗の小さいGaN-FETを用いることによって、電源装置の放熱器を必要とせず、電源装置内においてGaN-FETを任意の位置に配置することができるため、電源装置を格段に小型軽量化することができる。また、放熱器を設計するための放熱設計にかかる時間と労力とを軽減することができるとともに、GaN-FETを電源装置内において任意の位置に配置することができるので、電源装置全体のレイアウト設計にかかる時間と労力とを軽減することができる。さらに、GaN-FET自体は、発熱量が小さく、かつ高耐熱性を有しているため、電源装置の長時間使用が可能となり、電源装置にかかるメンテナンスも軽減される。

なお、上述した実施の形態1～4では、GaN-FETとしてMES型のFETを用いて説明したが、これに限らず、HEMT型、MOS型のFETであってもよい。また、サイリスタ、トライアック、GTOサイリスタ、バイポーラトラ

ンジスタ、MOS-FET、IGBTなどの各種半導体素子も、GaN系化合物半導体を用いた半導体素子としてもよい。

また、上述した実施の形態1～4では、いずれもGaN系化合物半導体を用いた半導体素子を電源装置に適用する場合を示したが、これに限らず、オン抵抗を
5 小さくできる半導体材料を用いた半導体素子であればよい。たとえば、SiC化合物半導体材料を用いた半導体素子としてもよく、AlN系化合物半導体材料を用いた半導体素子としてもよい。

つぎに、本発明にかかる電源回路の実施の形態について説明する。

第10図において、電源回路は、たとえば、スイッチング電源回路（1石フォ
10 ワード型）であり、入力電圧 E_{in} が印加されるトランスT1と、トランスT1の1次巻き線に接続されるGaN-FET200と、トランスT1の1次巻き線と並列に接続される電解コンデンサC1と、トランスT1の2次巻き線に接続されるダイオードD1およびコイルL1と、トランスT1の2次巻き線と並列に接続されるダイオードD2および電解コンデンサC2と、から構成されており、2次
15 巻き線側には巻き線比によって電圧 E_2 が発生している。

GaN-FET200は、たとえば、第2図に示すように、半絶縁性のサファイア基板1の上に、GaNバッファ層2を積層し、その上に半絶縁性のGaN層3およびn型AlGaN層4を順次積層し、さらにn型AlGaN層41dの表層部中央の一部にInとCまたはMgがドーピングされた拡散層4aが形成され
20 、拡散層4a上にゲートGの電極が装荷されている。

また、n型AlGaN層4の表層部の他の部分には、n型GaN層5が積層されている。n型AlGaN層4の表層部の他の部分のうち、一方のn型GaN層5上には、ソースSの電極が装荷され、他方のn型GaN層5には、ドレインDの電極が装荷されている。これらゲートG、ソースS、ドレインDの各電極以外
25 の部分は、SiO₂の絶縁膜6で被覆されている。

第2図に示したGaN-FET200の各半導体層は、GaN系化合物半導体によって形成され、MOCVD法あるいはMBE法などのエピタキシャル結晶成

長法を用いて成膜される。GaN系化合物半導体とは、GaN、AlGa_N、InGa_N、InAlGa_N、InGa_NAs、InGa_NPなどの総称である。

GaN-FET200のゲートにゲート信号（たとえば100kHz）が入力すると、GaN-FET200は、ゲート信号に応じてオン／オフ動作をする。

5 このときに、トランスT1では、1次巻き線に入力電圧E_{in}が加わり、2次巻き線側には巻き線比によって電圧E₂が発生する。

ここで、1次巻き線と2次巻き線の比をN₁：N₂とすると、電圧E₂は、

$$E_2 = (N_2 / N_1) \times E_{in}$$

10 となる。このとき、ダイオードD1には、正方向の電圧が与えられることにより電流I_sが流れ、この電流I_sはコイルL1を通して電解コンデンサC2を充電するため、出力電圧としてE_oを出力する。同時にコイルL1に流れた電流によってコイルL1内部にエネルギーが蓄えられる。

15 第11図に示すように、GaN-FET200がオン期間を過ぎてオフすると、トランスT1を通して1次巻き線側からの電力の伝達がなくなり、今度はコイルL1に逆極性の電圧が発生する。いままでコイルL1に蓄えられていたエネルギーによる逆起電力である。この逆起電力によって、ダイオードD2を通してさらに電解コンデンサC2を充電するような電流が流れる。なお、電解コンデンサC1は、平滑コンデンサであり、常にフラットな電圧波形をトランスT1に入力するように動作する。

20 このように、電源回路においては、全期間に渡ってコンデンサC2を充電する電流が流れ続ける。

ところで、GaN-FET200のゲートには、負荷電流をモニタして、負荷変動によりGaN-FET200のオン／オフ制御時間を変更して、安定した出力を得る安定化回路を用いて制御しても良い。

25 つぎに、GaN-FET200を用いた回路設計について説明する。従来、このような回路設計を行う場合には、FETの放熱設計を正確に行う必要があり、このために設計時間が長くなったり、またプリント基板へのレイアウトなども考

慮する必要があり、レイアウトの自由度が限られていた。これにともない近年では、FETの放熱設計の簡素化、短縮化が望まれていた。

これに対して、第10図に示した本実施の形態では、最大で30Aの出力電流を得るわけであるから、トランスT1に流れる電流 $I_{t\max}$ は、

$$I_{t\max} = (N_2 / N_1) \times I_{s\max}$$

で求められる。ここで、トランスT1の比 $N_1 : N_2 = 3 : 1$ 、リップル電流を出力電流 I_o の30%とすると、電流 $I_{s\max}$ は、

$$I_{s\max} = I_o \times 1.15$$

であるから、

$$I_{t\max} = (1/3) \times 30 \times 1.15 = 11.5 \text{ A}$$

の電流をGaN-FET200でオン/オフ駆動する必要がある。

つぎに、第12図に示すスイッチング波形より全損失 P_{total} は、次式により求めることができる。

$$P_{total} = P_{s(on)} + P_c + P_{s(off)}$$

$$P_{s(on)} = V_{DS\max} \times I_L \times t_r \times f / 6$$

$$P_c = R_{DS(on)} \times (I_L + I_p)^2 \times T_{on} \times f / 2$$

$$P_{s(off)} = V_p \times I_p \times t_f \times f / 6$$

但し、 $P_{s(on)}$: ターン・オン損失

P_c : 導通損失

$P_{s(off)}$: ターン・オフ損失

$V_{DS\max}$: ドレイン・ソース間電圧

I_L : 最小ドレイン電流

t_r : ターンオン時間

f : 周波数

$R_{DS(on)}$: オン抵抗

I_p : 最大ドレイン電流

T_{on} : オン時間

V_p : サージ電圧

t_f : ターンオフ時間

たとえば、 $V_{DSmax} = 50\text{ V}$ 、 $t_r = t_f = 50\text{ ns}$ 、 $f = 100\text{ kHz}$ 、 $R_{DS(on)} = 0.013/100$ 、 $I_L = 10\text{ A}$ 、 $I_p = 11.5\text{ A}$ 、 $T_{on} = 4.$

5 $9\text{ }\mu\text{s}$ 、 $V_p = 60\text{ V}$ とすると（第12図参照）、

$$P_{s(on)} = 0.4\text{ W}$$

$$P_c = 0.01\text{ W}$$

$$P_{s(off)} = 0.57\text{ W}$$

となる。よって、 P_{total} は、

10
$$P_{total} = 0.4 + 0.01 + 0.57 = 0.98\text{ W}$$

の損失となる。

GaN-FET のチャネル温度 $T_{ch\text{ max}}$ は、

$$T_{ch\text{ max}} = T_{a\text{ max}} + P_{total} \times R_{th(ch-a)}$$

$$= 85^\circ\text{C} + 0.98\text{ W} \times 50^\circ\text{C/W}$$

15
$$= 129^\circ\text{C}$$

となり、 30 A を出力する電源回路を構成しても、 FET の発熱量は小さく、かつ高温動作が可能な（ 500°C 以上の安定動作） GaN-FET を使用しているため、チャネル温度に対して十分なディレーティングを放熱板無しに構成することが可能となる。

20 このように本実施の形態では、従来におけるパワーMOS系の素子と比べてオン抵抗 $R_{on\text{ max}}$ が小さく、高温動作が可能な GaN-FET を用いることでトランジスタが発熱しなくなり、従来のトランジスタと同じ動作ができ、かつ放熱板が不要となり、このために製作コストの削減、放熱板の加工費の削減およびECUの小型化を図ることができる。

25 また、本実施の形態では、電源回路の放熱設計が簡素化でき、また回路パターン設計が容易となるため、ECUの設計時間が短縮できる。

本発明は、これら実施の形態に限定されるものではなく、本発明の要旨を逸脱

しない範囲で種々の変形実施が可能である。本実施の形態では、スイッチング電源回路の一例として、1石フォワード型について説明したが、本発明はこれに限らず、たとえばチョッパ方式、RCC方式およびフライバック方式の電源回路に適用することも可能である。

5 つぎに、本発明にかかる大電流負荷制御装置の実施の形態について説明する。

第13図は、自動車におけるヘッドランプ制御に用いる大電流負荷制御装置の回路ブロックを示す回路図である。なお、本発明では、ヘッドランプ210のオン/オフ制御の素子に、パワーMOS-FETに代えてGaN-FET211を用いて回路を構成した。

10 GaN-FET211は、たとえば第2図に示すように、半絶縁性のサファイア基板1の上に、GaNバッファ層2を積層し、その上に半絶縁性のGaN層3およびn型AlGaN層4を順次積層し、さらにn型AlGaN層4の表層部中央の一部にInとCまたはMgがドーピングされた拡散層4aが形成され、拡散層4a上にゲートGの電極が装荷されている。

15 また、n型AlGaN層4の表層部の他の部分には、n型GaN層5が積層されている。n型AlGaN層4の表層部の他の部分のうち、一方のn型GaN層5上には、ソースSの電極が装荷され、他方のn型GaN層5には、ドレインDの電極が装荷されている。これらゲートG、ソースS、ドレインDの各電極以外の部分は、SiO₂の絶縁膜6で被覆されている。

20 第2図に示したGaN-FET211の各半導体層は、GaN系化合物半導体によって形成され、MOCVD法あるいはMBE法などのエピタキシャル結晶成長法を用いて成膜される。GaN系化合物半導体とは、GaN、AlGaN、InGaN、InAlGaN、InGaAs、InGaNpなどの総称である。

図において、本実施の形態では、内部電源であるバッテリーと電気負荷であるヘッドランプ210間の電源線201にGaN-FET211を接続させたハイサイド駆動の回路を示すものであり、GaN-FET211のドレインがバッテリーに接続され、ソースが2個のヘッドランプ210に接続されている。GaN-F

ET211のゲートには、抵抗R1とコンデンサC1が接続されるとともに、FET212およびFET213を介して制御回路であるマイコン214が接続されており、マイコン214の制御によってGaN-FET211がオン/オフ動作を行う。また、ゲートソース間には、ダイオードD1、ツェナーダイオードD2および抵抗R2が直列に接続されている。

FET212のソースには、チャージポンプ回路215が接続され、FET212のソースゲート間には、抵抗R3が接続され、FET212へ加わる電圧を上げている。また、FET212のゲートには、抵抗R4が接続され、FET213のゲートには、抵抗R5、R6およびコンデンサC2が接続されるとともに、マイコン214が接続されている。

マイコン214は、電源回路216を介してバッテリーと接続されており、電源回路216は、バッテリーからの電源電圧を変換してマイコン214に供給している。また、マイコン214には、ヘッドランプ210のオン/オフ切り替えを行うためのスイッチ217が接続されている。なお、本実施の形態では、オン/オフ切り替え用スイッチ217を用いているが、たとえば車内LAN（ローカルエリアネットワーク）であるCAN（コントローラエリアネットワーク）等を用いてオン/オフ制御しても良い。

上記大電流負荷制御装置において、スイッチ217がオン状態になると、マイコン214は、スイッチ217が接続された入力ポートから上記オン状態を検知し、ヘッドランプ210制御用の出力ポートにハイレベル（5V）の信号を出力する。この出力によりFET212、213がオン状態となって、GaN-FET211がオン制御されてヘッドランプ210が点灯する。本実施の形態では、GaN-FET211がヘッドランプ210より上流側（バッテリー側）にあるハイサイド駆動となるため、FET212のソース側にはチャージポンプ回路215を有している。このチャージポンプ回路215は、GaN-FET211がオンさせるために、バッテリー電圧+GaN-FET211のゲートソース間電圧以上の電圧がGaN-FET211のゲートに入力するように設定されている。

本実施の形態のチャージポンプ回路215では、たとえばバッテリー電圧を21Vに変換してGaN-FET211のゲートに供給するように設定されている。

また、スイッチ217がオフ状態になると、マイコン214は、上記オフ状態を検知し、ヘッドランプ210制御用の出力ポートにローレベル(0V)を出力する。この出力によりFET212、213がオフ状態となって、GaN-FET211がオフ制御されてヘッドランプ210が消灯する。

また、本実施の形態では、GaN-FET211とバッテリー間にシャント抵抗R7が接続され、シャント抵抗R7の両端には過電流検出回路218が接続され、GaN-FET211に流れる過電流を検出している。過電流検出回路218は、第3図に示すように、二つのオペアンプ219、220を有し、シャント抵抗R7に流れる電流値を増幅して検出し、その検出結果をマイコン214に出力しており、マイコン214は、上記検出結果に基づき、過大な電流が継続して流れた場合に、ワイヤーハーネスが加熱して、劣化、発煙の可能性があるためGaN-FET211をオフ制御させている。

つぎに、GaN-FET211を用いた回路設計について説明する。従来、このような回路設計を行う場合には、FETの放熱設計を正確に行う必要があり、このために設計時間が長くなったり、またプリント基板へのレイアウトなども考慮する必要があり、レイアウトの自由度が限られていた。これにともない近年では、FETの放熱設計の簡素化、短縮化が望まれていた。

これに対して、第13図に示した本実施の形態では、2個のヘッドランプ210をオンさせるために、 $60\text{W} \times 2 = 120\text{W}$ の電力が必要であり、定常時で最大約10Aの電流が流れるわけであるから、周囲温度85℃でのGaN-FET211のチャネル温度を計算すると、(10)式から、

$$\begin{aligned} T_{ch\max} &= 85^{\circ}\text{C} + (0.013\Omega/100) \times 10\text{A} \times 10\text{A} \times 50^{\circ}\text{C}/\text{W} \\ &= 85.65^{\circ}\text{C} \end{aligned}$$

となり、10Aの電流を常に流しても全く発熱しないため、パワーMOS-FETを使用した場合に必要な放熱板が不要となる。

また、大電流負荷制御装置をエンジンルームなどの過酷な温度環境で使用する
場合、装置の使用温度範囲は、 125°C 以上を要求されるが、従来のMOS-FET
とは異なる高温動作が可能な(500°C においても安定動作する)GaN-FET
5 FETを使用することで、チャネル温度に対して十分なディレーティング(50°C
以上)を取ることが可能であり、信頼性の高い、小型化のECUを設計するこ
とが容易である。

このように、本実施の形態では、従来におけるパワーMOS系の素子と比べて
オン抵抗 $R_{on\max}$ が小さいGaN-FETを用いることで、オン/オフ制御用の
素子が発熱しなくなり、従来のオン/オフ制御用の素子と同じ動作ができ、かつ
10 放熱板が不要となり、このために製作コストの削減、放熱板の加工費の削減およ
びECUの小型化が図られる。

また、本実施の形態では、回路の放熱設計が簡素化でき、また回路パターン設
計が容易となるため、ECUの設計時間が短縮できる。

本発明は、これら実施の形態に限定されるものではなく、本発明の要旨を逸脱
15 しない範囲で種々の変形実施が可能である。本実施の形態では、ハイサイド型の
自動車用ヘッドランプ制御回路の好適な例について説明したが、本発明はこれに
限らず、たとえば第15図に示すようなヘッドランプ210とGND間にGaN-
FET 211を接続させたローサイド駆動の回路構成にすることも可能である
。図中、コントロールユニット220は、GaN-FET 211をオン/オフ制
20 御するためのマイコンやFETなどの各素子をユニット構成にしたものである。

また、本発明にかかるGaN-FETは、N-チャネル型、P-チャネル型い
ずれのGaN-FETを使用しても良い。

また、本発明にかかる大電流負荷制御装置は、ヘッドランプ以外の、たとえば
テイルランプ、フォグランプの制御に用いても良いし、これらランプ制御等の
25 機能を併せ持っても良い。さらにモータの制御、たとえば自動車用のプロア
モータやワイパーモータ(HI、LOW、INT、MIST)の制御等の負荷の
オン/オフ制御に使用することも可能である。

以上説明したように、本発明にかかる電源装置によれば、GaN系化合物を用いて形成した半導体素子を電力制御対象である主電流上に配置し、制御手段が、前記半導体素子を流れる主電流の導通を制御するようにしているので、半導体素子は、導通時の抵抗が小さく、発熱がほとんどなく、電源装置に大重量および大容量の放熱器を備える必要がなくなるため、電源装置の小型軽量化を実現することができるとともに、放熱設計にかかる時間と労力とを格段に減少させることができるという効果を奏する。また、半導体素子を放熱器に密着させる必要がなくなり、半導体素子は、電源装置内の任意の位置に配置することができるため、放熱設計の容易さに加えて、電源装置全体の設計の自由度が増大し、ひいては電源装置内の各素子配置の集積化が可能となり、電源装置の小型軽量化を一層促進させることができるという効果を奏する。さらに、半導体素子自体の熱暴走がなくなるため、過電流保護等の熱保護回路の簡素化を行うことができるという効果を奏する。

また、本発明にかかる電源装置によれば、GaN系化合物を用いて形成した半導体素子を電力制御対象である主電流上に配置し、制御手段が、前記半導体素子を流れる主電流の導通をスイッチング制御するようにしているので、半導体素子は、導通時の抵抗が小さく、発熱がほとんどなく、電源装置に大重量および大容量の放熱器を備える必要がなくなるため、電源装置の小型軽量化を実現することができるという効果を奏する。また、半導体素子を放熱器に密着させる必要がなくなり、半導体素子は、電源装置内の任意の位置に配置することができるため、放熱設計の容易さに加えて、電源装置全体の設計の自由度が増大し、ひいては電源装置内の各素子配置の集積化が可能となり、電源装置の小型軽量化を一層促進させることができるという効果を奏する。さらに、半導体素子自体の熱暴走がなくなるため、過電流保護等の熱保護回路の簡素化を行うことができるという効果を奏する。

また、本発明にかかる電源装置によれば、電力制御対象である主電流上に配置

される半導体素子を複数設け、各半導体素子を並列接続し、制御できる主電流の限界を大幅に向上させることができるとともに、半導体素子の発熱がほとんどないので、一つの半導体素子を配置した場合の電源装置とほぼ同じ重量、かつ同じ容量の電源装置によって、電力制御能力の高い電源装置を実現することができるという効果を奏する。

5

また、本発明にかかる電源装置によれば、電力制御対象である主電流上に配置される半導体素子を複数設け、各半導体素子を並列接続する際、各半導体素子自体の発熱がほとんどないため、電源装置内における半導体素子どうしを隣接配置するようにしているので、設計の自由度をさらに向上させることができるという効果を奏する。

10

また、本発明にかかる電源装置によれば、電力制御対象である主電流上に配置される半導体素子をGaN-FETで形成し、導通時の抵抗を極めて小さくし、半導体素子の発熱がほとんどないようにしているので、電源装置の小型軽量化を一層促進するとともに、放熱設計を含む設計にかかる時間と労力とを格段に減少させることができるという効果を奏する。

15

また、本発明にかかる電源回路によれば、電源回路のスイッチング素子に発熱の小さいGaN-FETを用いるので、スイッチング素子の発熱を小さくして放熱板を不要とし、電源回路の小型、軽量化を図ることができるという効果を奏する。

20

また、本発明にかかる大電流負荷制御装置によれば、大電流負荷制御装置のオン／オフ制御用のスイッチング素子に発熱の小さい、かつ高温動作（500℃以上）が可能なGaN-FETを用いるので、スイッチング素子の発熱を小さくして放熱板を不要とし、回路の小型、軽量化を図ることができるという効果を奏する。

25

産業上の利用可能性

以上のように、本発明にかかる電源装置、電源回路および大電流負荷制御装置

は、自動車、電気車両、建設機械、各種民生機器（ビデオ機器、テレビジョン受像機、オーディオ機器など）、各種産業機器（パーソナルコンピュータ、通信機器、F A用制御機器など）などに有用であり、装置あるいは回路の小型軽量化を実現するのに適している。

5

10

15

20

25

請 求 の 範 囲

1. 電力制御対象である主電流上に配置し、GaN系化合物を用いて形成した半導体素子と、

5 前記半導体素子を流れる主電流の導通を制御する制御手段と、
を備えたことを特徴とする電源装置。

2. 前記半導体素子を複数備え、複数の前記半導体素子を並列接続したことを特徴とする請求の範囲第1項記載の電源装置。

10

3. 前記複数の半導体素子を隣接配置したことを特徴とする請求の範囲第2項記載の電源装置。

4. 前記半導体素子は、GaN-FETであることを特徴とする請求の範囲第1項記載の電源装置。

15

5. 電力制御対象である主電流上に配置し、GaN系化合物を用いて形成した半導体素子と、

前記半導体素子を流れる主電流の導通をスイッチング制御する制御手段と、
20 を備えたことを特徴とする電源装置。

6. 前記半導体素子を複数備え、複数の前記半導体素子を並列接続したことを特徴とする請求の範囲第5項記載の電源装置。

25 7. 前記複数の半導体素子を隣接配置したことを特徴とする請求の範囲第6項記載の電源装置。

8. 前記半導体素子は、GaN-FETであることを特徴とする請求の範囲第5項記載の電源装置。

5 9. トランスを有し、該トランスの1次巻き線に印加される電圧をオン／オフ制御することによって、前記トランスの2次巻き線側に安定化された電源電圧を供給する電源回路において、

前記トランスの1次巻き線に接続され、ゲート信号によってオン／オフ制御されるGaN-FETを備えたことを特徴とする電源回路。

10 10. 電源からの電流を所定の指示に応じてオン／オフ制御して電気負荷に供給する大電流負荷制御装置において、

前記電源と負荷を接続させる電源線に接続され、前記制御によってオン／オフ動作するGaN-FETを備えたことを特徴とする大電流負荷制御装置。

15

20

25

要 約 書

入力端子（1 1）と出力端子（1 2）との間を流れる主電流上に配置し、導通時の抵抗が小さいGaN-FET（1 0）と、出力電圧（ V_{out} ）を設定するツェナーダイオード（ZD）および抵抗（R）を備えることにより、小型軽量化を実現し、放熱設計を含めた設計を柔軟に行うことができ、設計にかかる時間と労力を格段に減少させる。

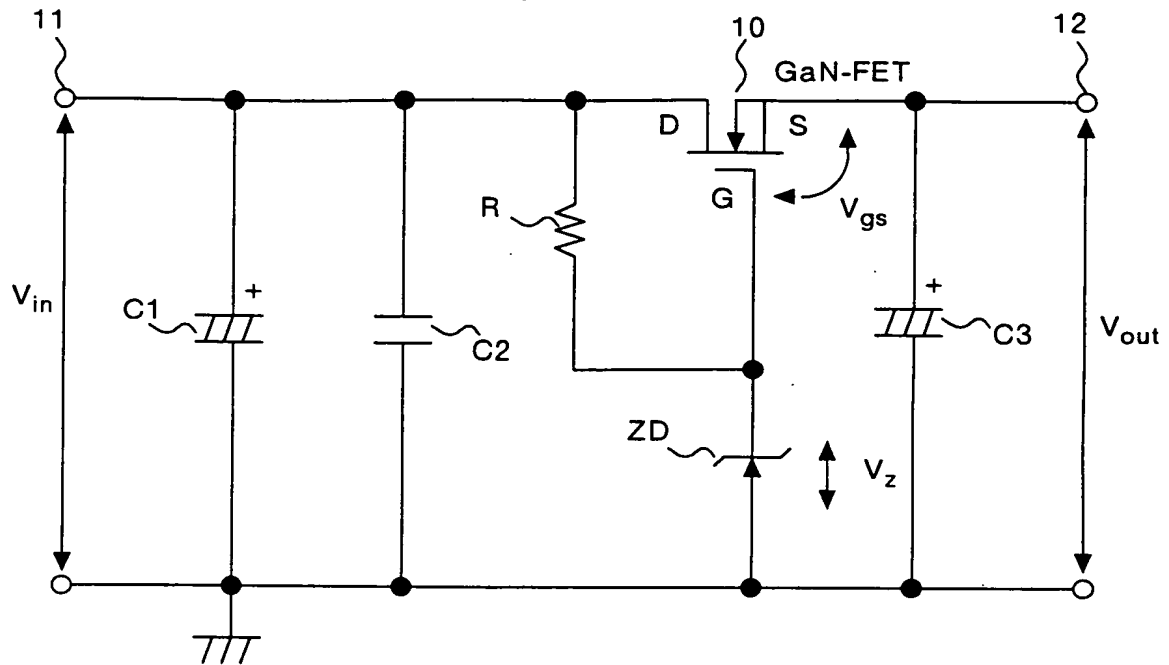
10

15

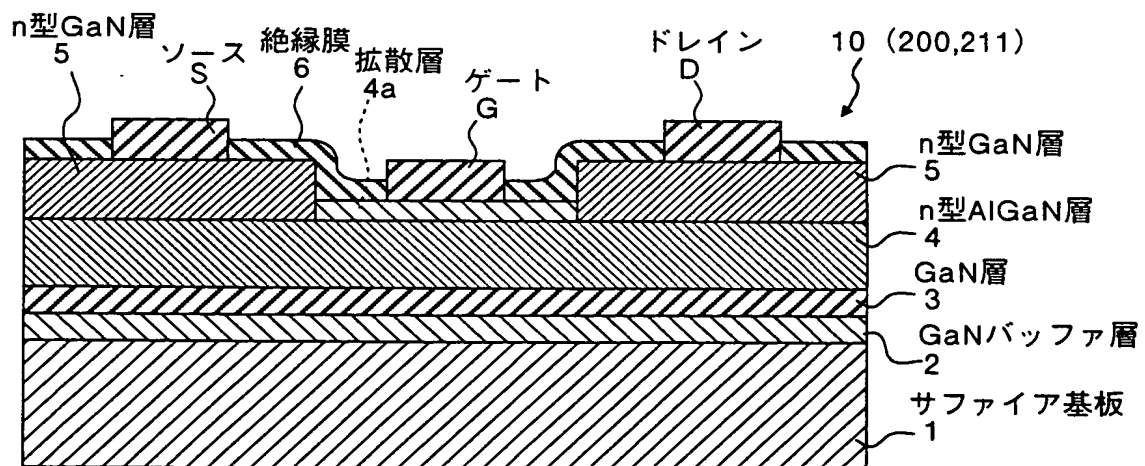
20

25

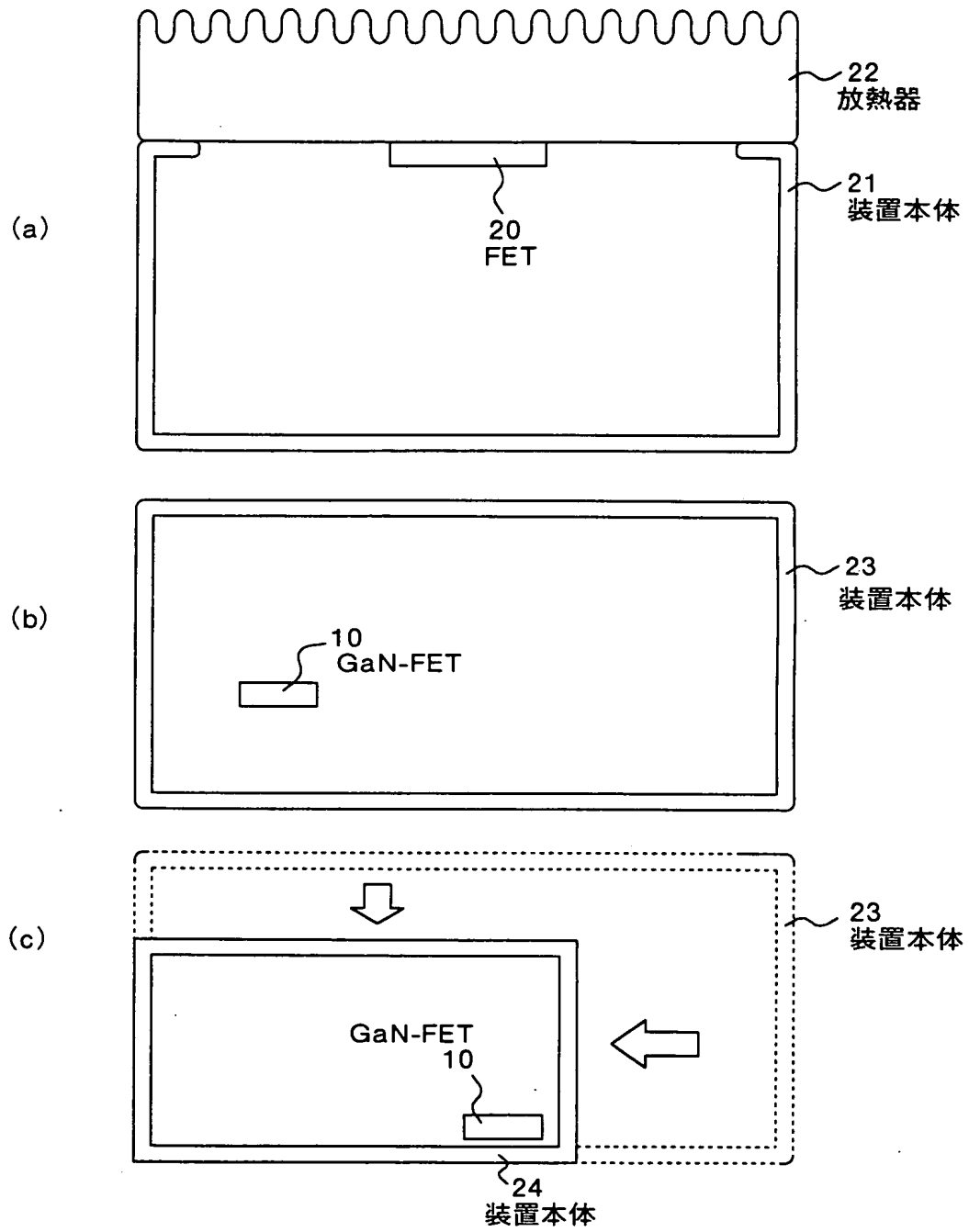
第1図



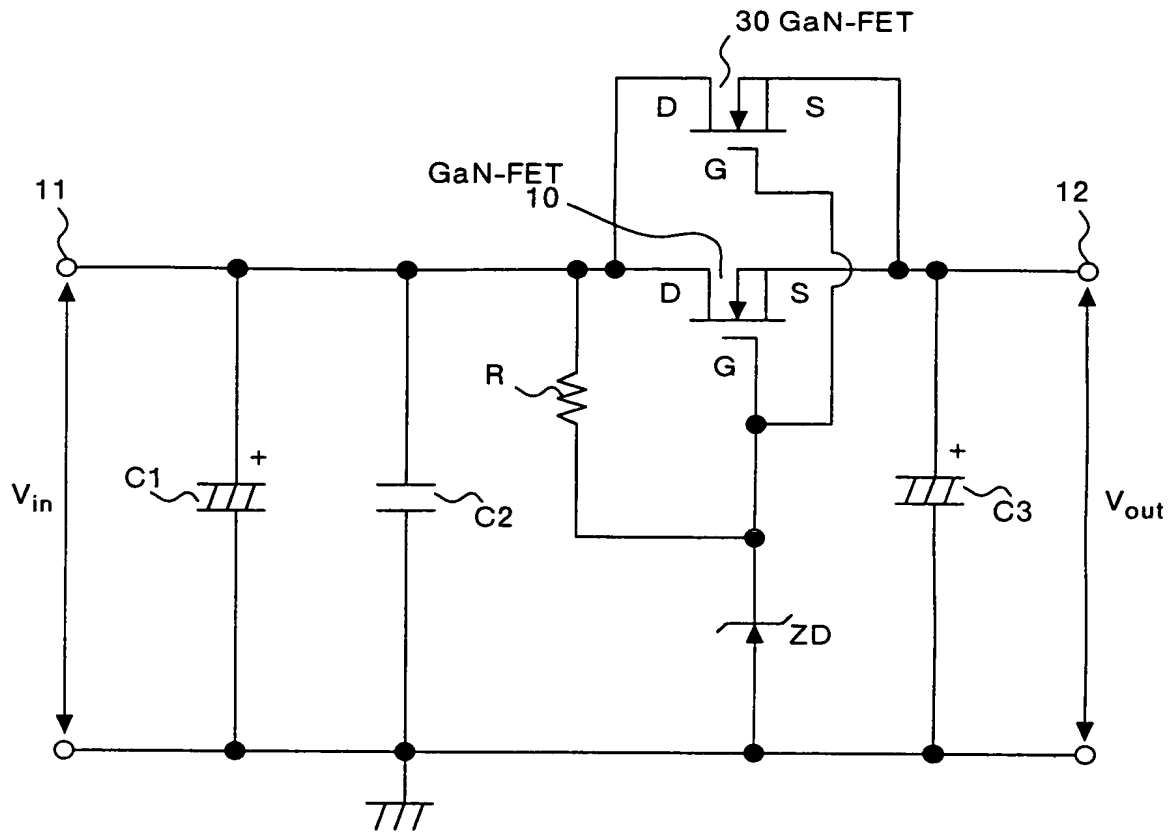
第2図



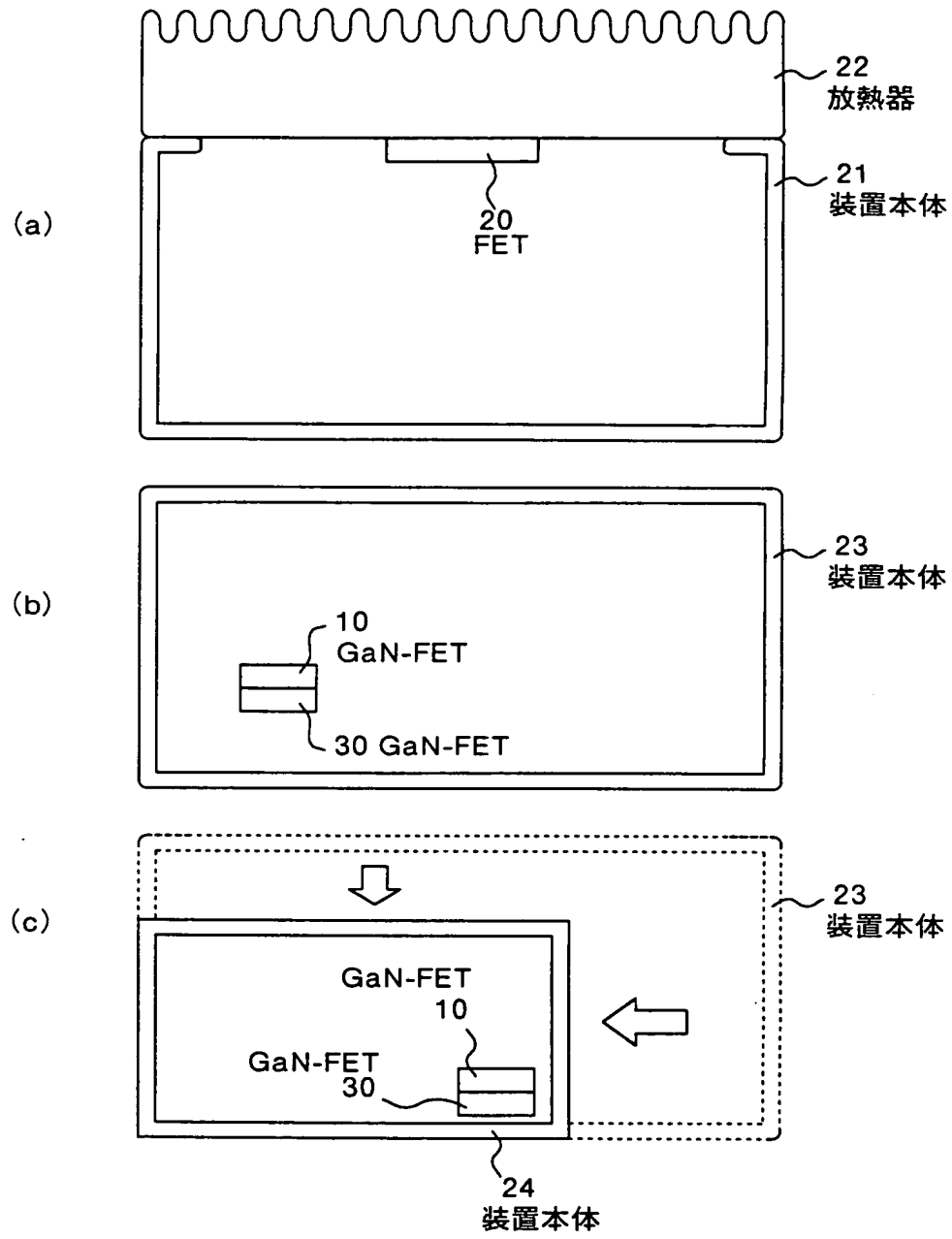
第3図



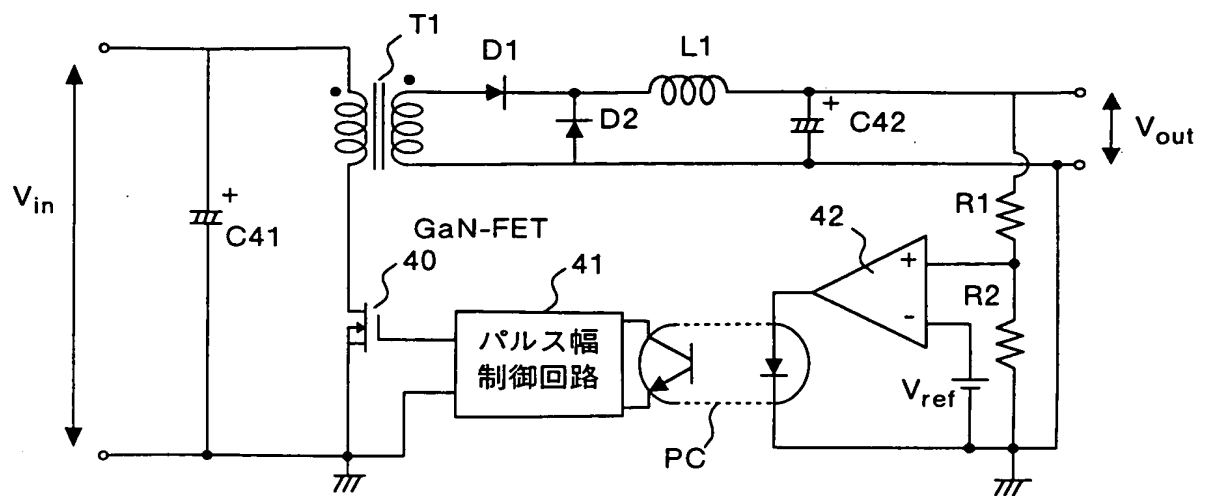
第 4 図



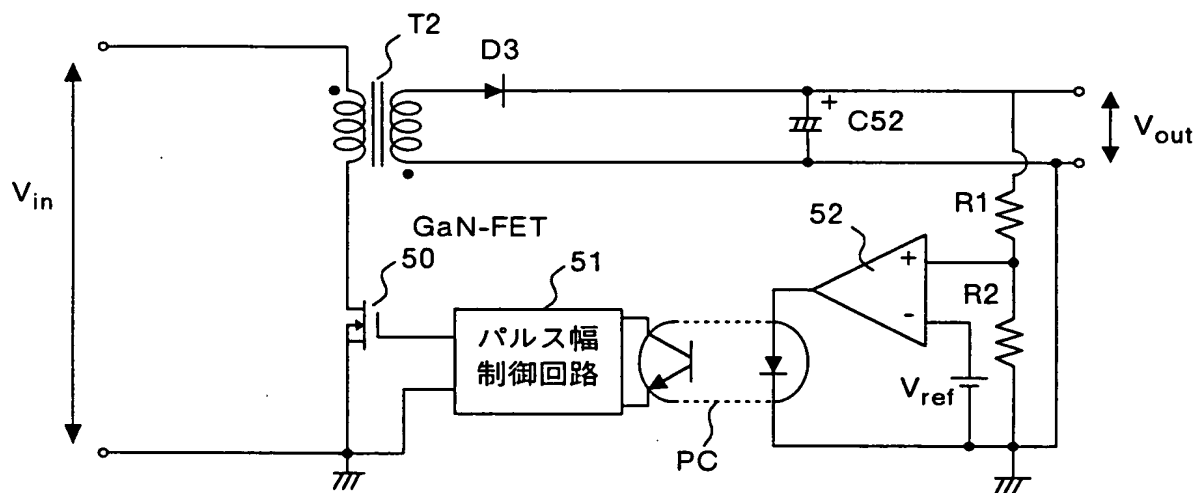
第5図



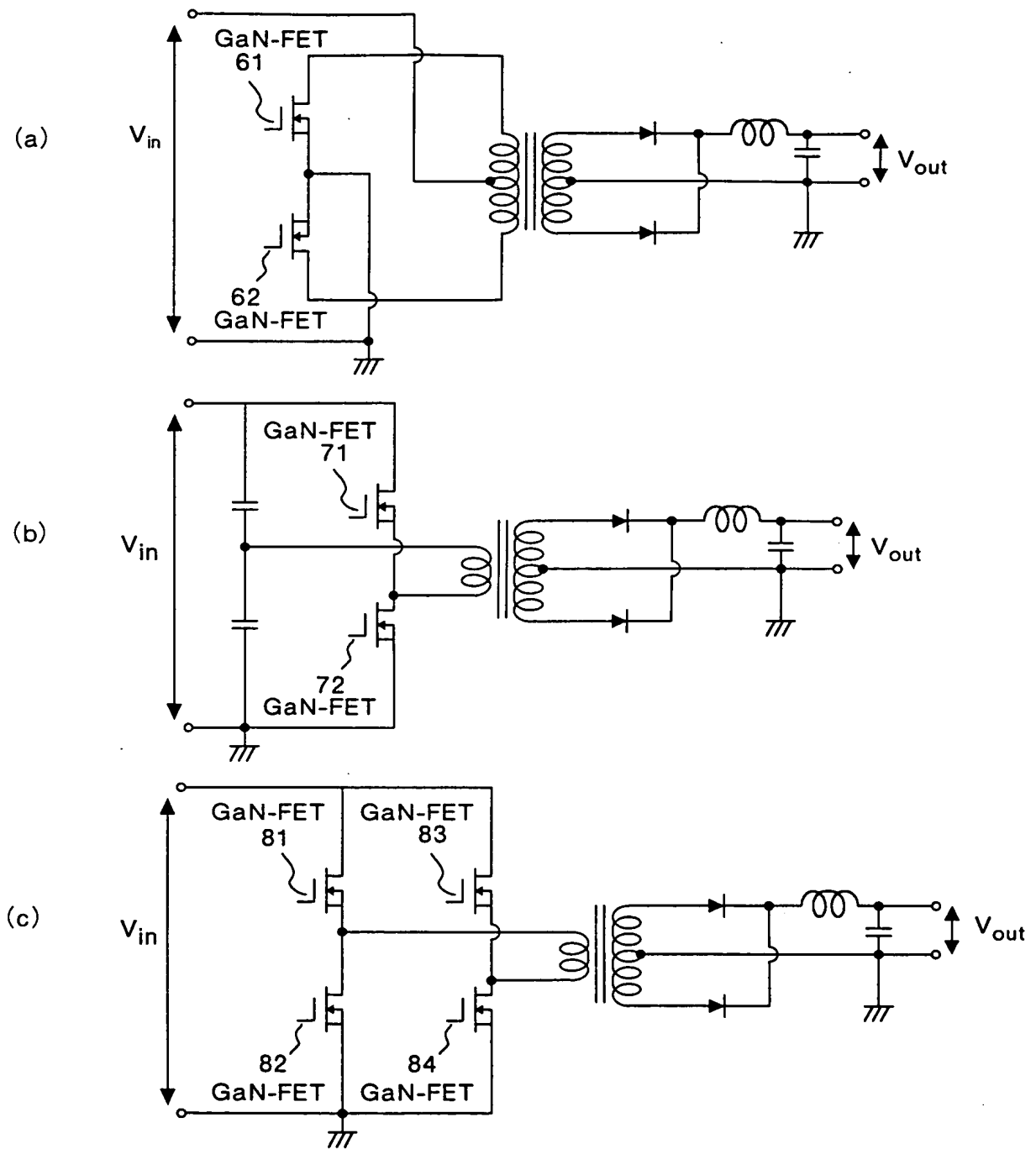
第6図



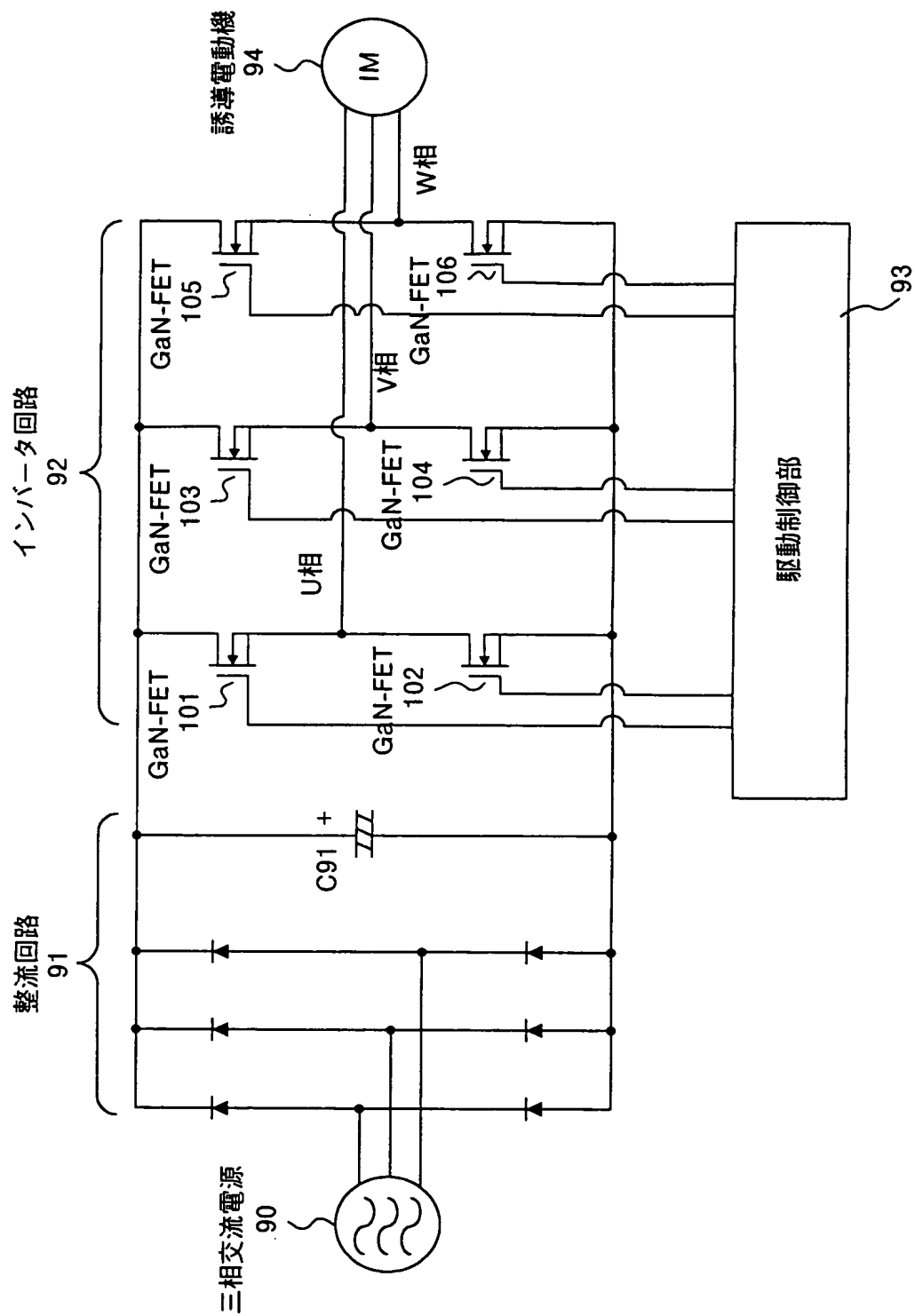
第7図



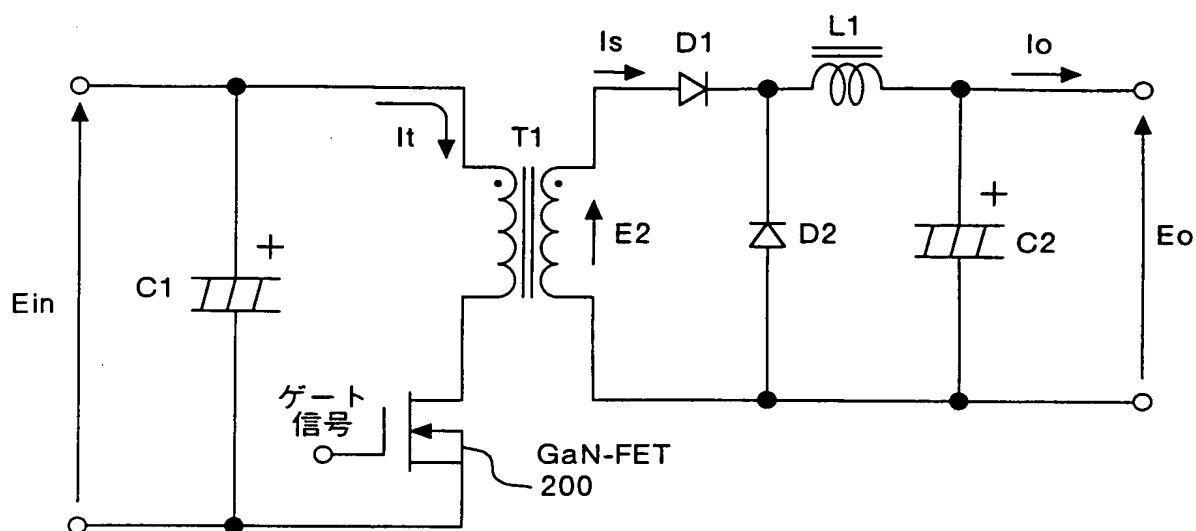
第 8 図



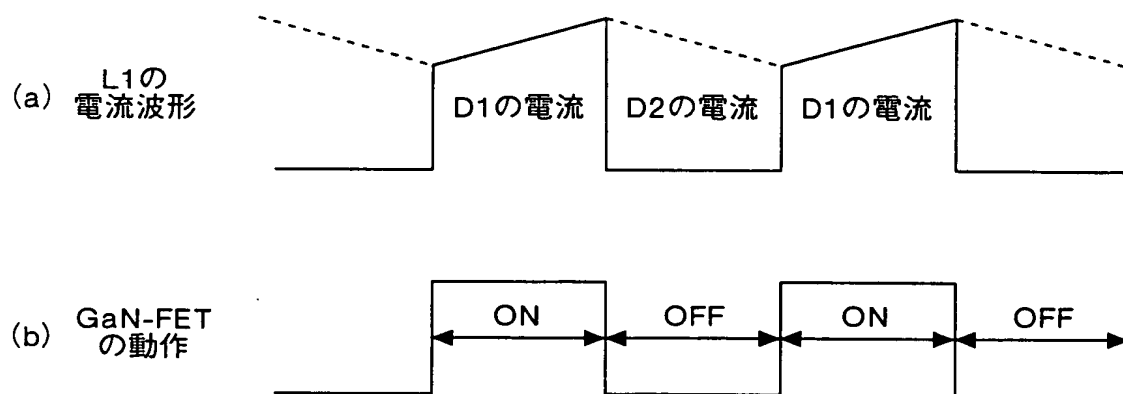
第9図



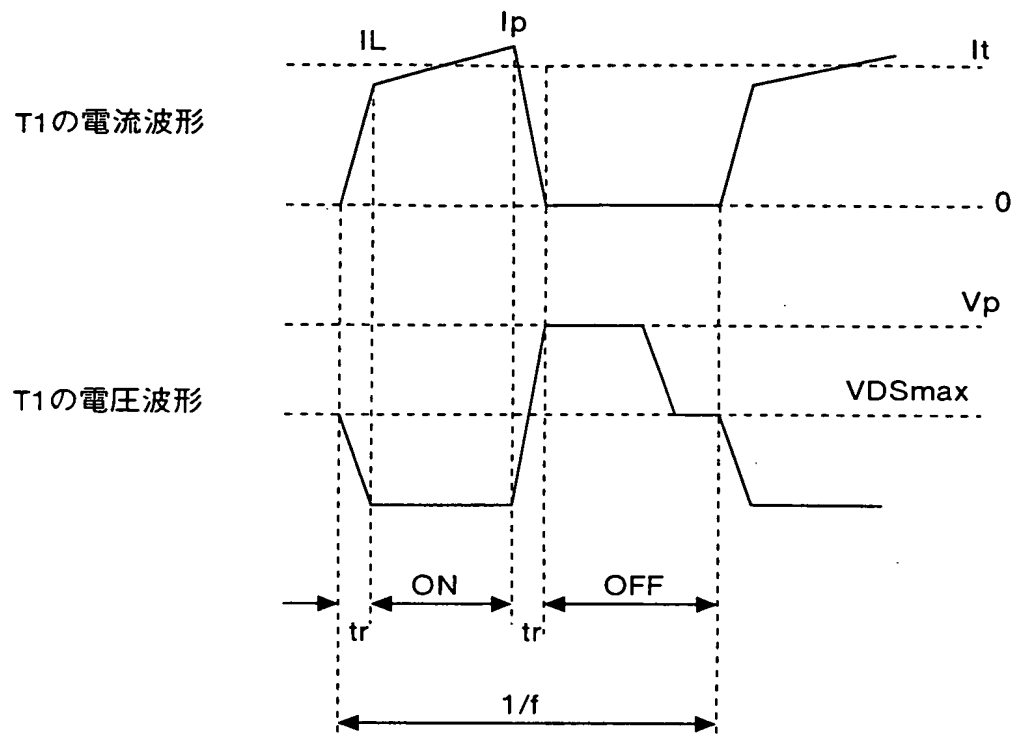
第10図



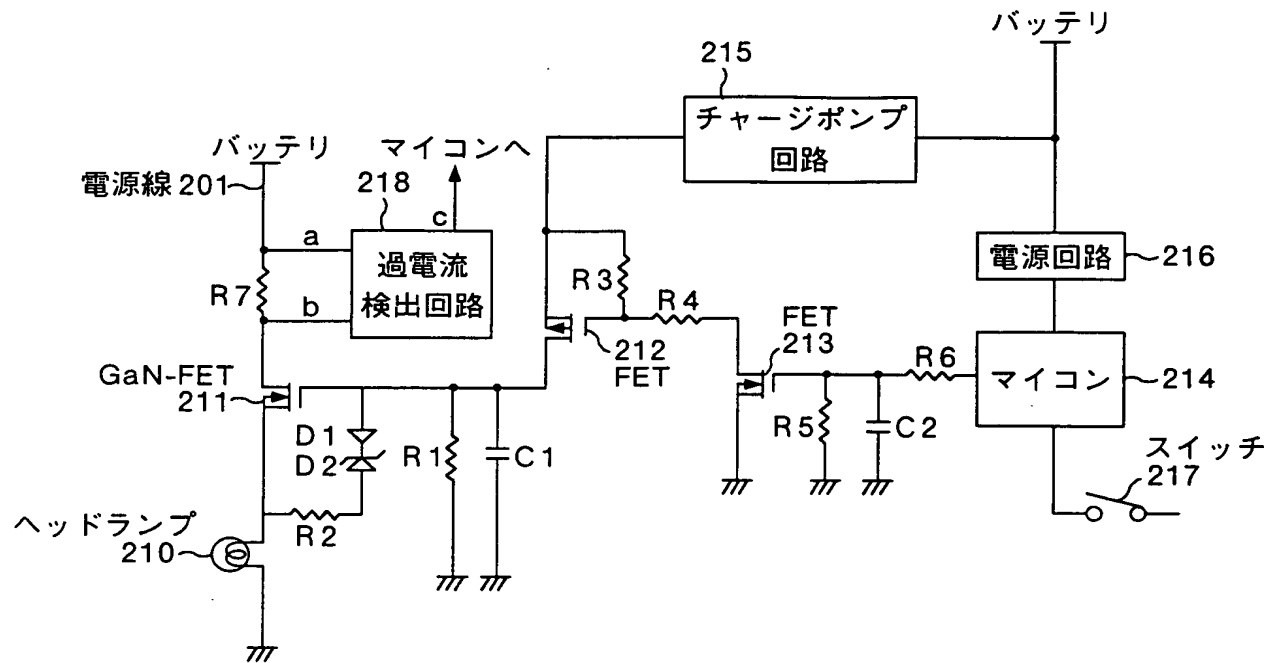
第11図



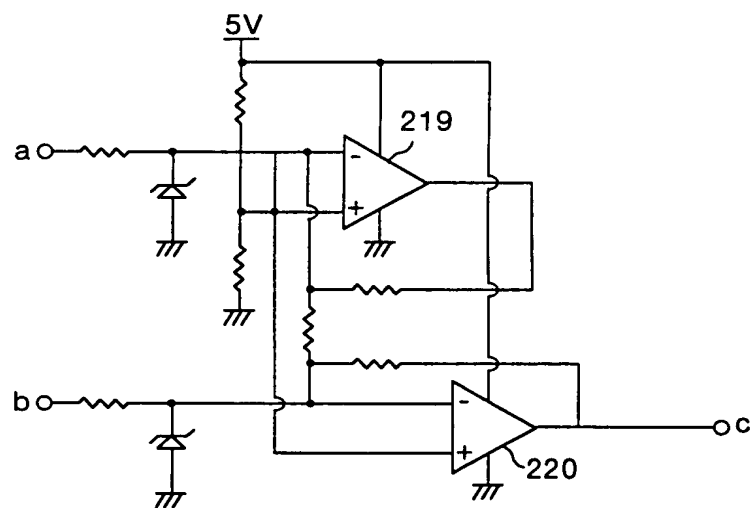
第12図



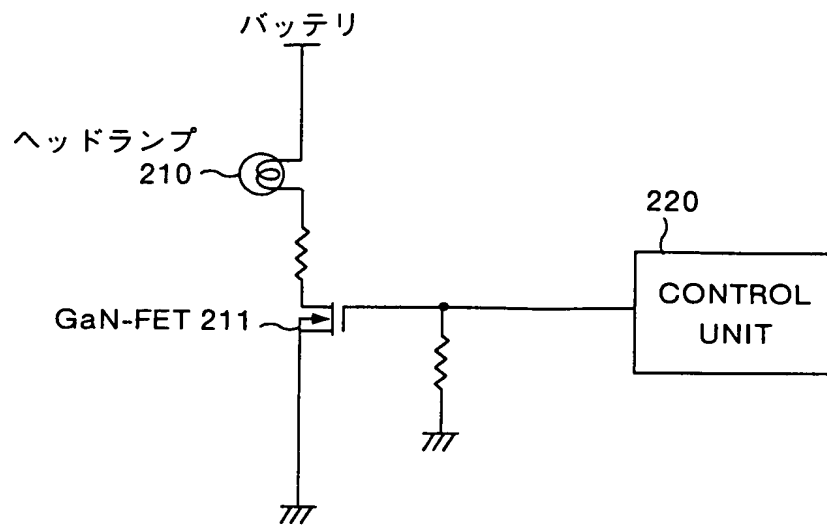
第13図



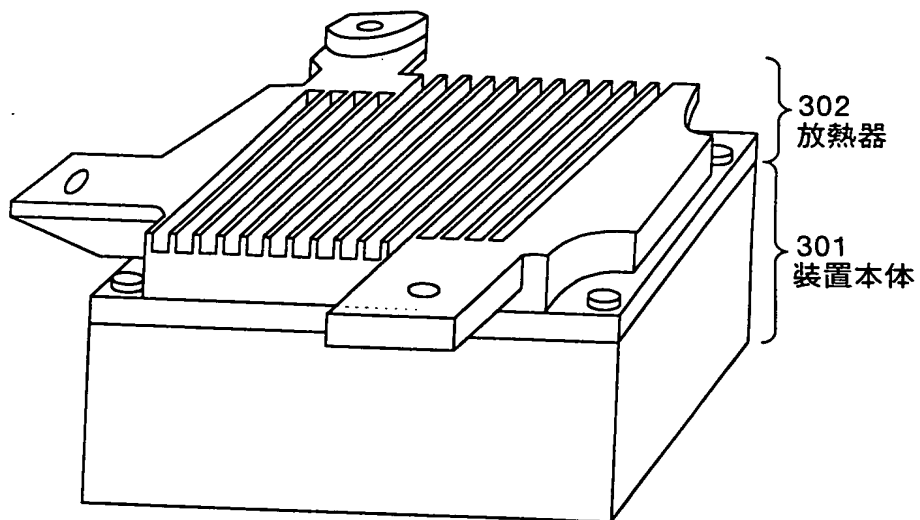
第14図



第15図



第16図



P C T

国際調査報告

(法8条、法施行規則第40、41条)
[PCT18条、PCT規則43、44]

REC'D 18 MAY 2001

WIPO PCT

出願人又は代理人 の書類記号 P 1 3 8 9	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220)及び下記5を参照すること。	
国際出願番号 PCT/J P 0 1 / 0 0 8 8 5	国際出願日 (日.月.年) 0 8 . 0 2 . 0 1	優先日 (日.月.年) 0 8 . 0 2 . 0 0
出願人 (氏名又は名称) 渡辺 勇一		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

- a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。
☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。
- b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。
☐ この国際出願に含まれる書面による配列表
☐ この国際出願と共に提出されたフレキシブルディスクによる配列表
☐ 出願後に、この国際調査機関に提出された書面による配列表
☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。
☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。
☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。
☐ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、
 第 1 図とする。 ☒ 出願人が示したとおりである。 ☐ なし
☐ 出願人は図を示さなかった。
☐ 本図は発明の特徴を一層よく表している。

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L29/80, H01L27/06
H02M 1/08, H02M 3/28, H02M7/5387

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L29/80, H01L29/78, H01L27/04, H01L27/06
H02M 1/08, H02M 3/28, H02M7/5387

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2001年
日本国登録実用新案公報 1994-2001年
日本国実用新案登録公報 1996-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

IEEE/IEE Electronic Library on line
GaN and power

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	1999 International Electron Devices Meeting	1-4
Y	TECHNICAL DIGEST p. 389-392 全文参照	5-10
X	応用物理, Vol. 68, No. 7 (1999) p. 787-792	1-4
Y	787頁、1. まえがき 790-792頁、5. GaN MESFET	5-10

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

08.05.01

国際調査報告の発送日

15.05.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

今井 拓也



4M

9169

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 11-297713, A (古河電気工業株式会社) 29. 10月. 1999 (29. 10. 99) 【請求項1】、第3欄第3行-第4欄第4行 (ファミリー無し)	1-10
Y	J P, 7-303373, A (キャノン株式会社) 14. 11月. 1995 (14. 11. 95)	1-9
A	【請求項1】、【請求項2】第2欄第41行-第4欄第6行 (ファミリー無し)	10
Y	J P, 11-164550, A (エスターミクロエレクトロニクス エスア) 18. 6月. 1999 (18. 06. 99)	1-9
A	【図3】及び関係記載参照 & EP, 903839, A & FR, 2768527, A & US, 6150798, A	10
Y	J P, 9-233810, A (ソニー株式会社) 5. 9月. 1997 (05. 09. 97)	1-9
A	【図1】【図3】【図4】及び関係記載参照 (ファミリー無し)	10
Y	EP, 860946, A (Harness System Technologies Research, Ltd) 26 August 1998	10
A	column7, line14 - column8, line14 & J P, 10-41797, A 13. 2月. 1998 (13. 02. 98) 【図1】及び関係記載参照 & US, 6011416, A	1-9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/00885

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L29/80, H01L27/06, H02M 1/08, H02M 3/28, H02M7/5387

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L29/80, H01L29/78, H01L27/04, H01L27/06, H02M 1/08, H02M 3/28, H02M7/5387

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2001
Kokai Jitsuyo Shinan Koho	1971-2001	Jitsuyo Shinan Toroku Koho	1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

IEEE/IEE Electronic Library on line
GaN and power

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	1999 International Electron Devices Meeting, Technical Digest, pages 389 to 392 Full text	1-4 5-10
X Y	Ouyou Butsuri, Vol.68, No.7 (1999), pages 787 to 792 page 787; 1. preface pages 790 to 792, 5. GaN MESFET	1-4 5-10
Y	JP, 11-297713, A (The Furukawa Electric Co., Ltd.), 29 October, 1999 (29.10.99), Claim 1; column 3, line 3 to column 4, line 4 (Family: none)	1-10
Y A	JP, 7-303373, A (Canon Inc.), 14 November, 1995 (14.11.95), Claims 1, 2; column 2, line 41 to column 4, line 6 (Family: none)	1-9 10

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
08 May, 2001 (08.05.01)Date of mailing of the international search report
15 May, 2001 (15.05.01)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/00885

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 11-164550, A (ST Microelectron SA), 18 June, 1999 (18.06.99),	1-9
A	Fig. 3; see description concerned & EP, 903839, A & FR, 2768527, A & US, 6150798, A	10
Y	JP, 9-233810, A (Sony Corporation), 05 September, 1997 (05.09.97),	1-9
A	Figs. 1, 3, 4; see description concerned (Family: none)	10
Y	EP, 860946, A (Harness System Technologies Research, Ltd.),	10
A	26 August, 1998 (26.08.98), column 7, line 14 to column 8, line 14, & JP, 10-41797, A 13 February, 1998 (13.02.98), Fig. 1; see description concerned & US, 6011416, A	1-9